

改訂記録

改訂番号	改訂内容	発行年月日
Rev. J1.0	初版	2020年9月9日
Rev. J1.1	1. ページ 4 DC電気特性変更 Notes: 1. $V_{IH}(\max) = V_{CC} + 3.0V$ パルス幅 <u>6ns</u> 以下.→ <u>10ns</u> 以下 2. $V_{IL}(\min) = V_{SS} - 3.0V$ パルス幅 <u>6ns</u> 以下.→ <u>10ns</u> 以下 2. ページ11 外形寸法を変更 48-ball 6mm × 8mm TFBGA パッケージ A:1.4mm→1.2mm	2021年3月26日
Rev. J1.2	ページ12 パッケージの注文情報を追加 48-ball 6mm × 8mm TFBGA	2022年7月1日
Rev. J1.3	1. ページ 4 DC電気特性 変更あり、スタンバイ電流の訂正 $I_{SB1} : SL(\max.)10 \rightarrow 7$ 、 $SLI(\max.) 12 \rightarrow 10$ 2. ページ 9 データ保持特性 変更あり データ保持電流 $I_{DR} : SL(\max.)10 \rightarrow 7$ 、 $SLI(\max.) 12 \rightarrow 10$	2025年04月21日

REVISION HISTORY

Revision	Description	Issue Date
Rev. 1.0	Initial Issue	Spe.09.2020
Rev. 1.1	1.Revised DC ELECTRICAL CHARACTERISTICS Notes: 1. $V_{IH}(\max) = V_{CC} + 3.0V$ for pulse width less than <u>6ns</u> .→ <u>10ns</u> 2. $V_{IL}(\min) = V_{SS} - 3.0V$ for pulse width less than <u>6ns</u> .→ <u>10ns</u> in page 4 2.Revised 48-ball 6mm × 8mm TFBGA Package Outline Dimension in page 11 A:1.4mm→1.2mm	Mar.26.2021
Rev. 1.2	Added ordering information for 48-ball 6mm × 8mm TFBGA Package in page 12	Jul.01.2022
Rev. 1.3	1.Revised DC ELECTRICAL CHARACTERISTICS :Standby Power Supply Current: $I_{SB1} : SL(\max.)10 \rightarrow 7$, $SLI(\max.)12 \rightarrow 10$ in page 4 2.Revised DATA RETENTION CHARACTERISTICS : Data Retention Current: $I_{DR} : SL(\max.)10 \rightarrow 7$, $SLI(\max.)12 \rightarrow 10$ in page 9	Apr.21.2025

特長

- アクセス時間 : 45/55ns (max.)
- 低消費電力:
動作電流 : 12mA (typ.)
スタンバイ電流 : 1.8 μ A (typ.) SL-グレイド
- 単一電源動作 : 2.7V~3.6V
- 入出力TTLコンパチブル
- 完全スタティック動作
- トライ・ステート出力
- データ・バイト制御 : LB#はDQ0 ~ DQ7制御
UB#はDQ8 ~ DQ15制御
- データ保持最低電源電圧 : 1.5V (min.)
- **グリーン・パッケージ対応**
- パッケージ : 44-pin 400 mil TSOP II
48-ball 6mm x 8mm TFBGA

製品ラインナップ

概要

LY62L25716Bシリーズは4,194,304ビットで262,144 x 16ビットの低消費電力CMOSスタティックRAMです。

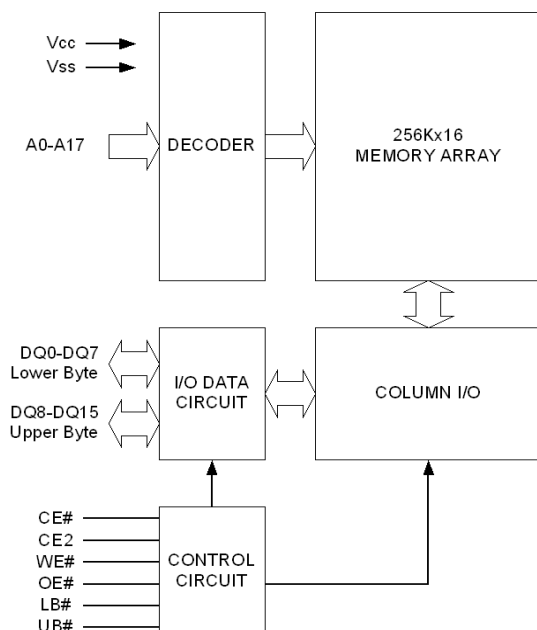
高性能と高信頼性CMOS技術を採用し全動作温度範囲において安定したスタンバイ電流特性を持っています。

LY62L25716Bシリーズは低消費電力の商品に適しています。特に電源切断時に二次電源でバックアップレデータを保持する必要があるシステムに最適です。

LY62L25716Bシリーズは単一の2.7V ~ 3.6Vの電源で動作し全ての入出力はTTLコンパチです。

Product Family	Operating Temperature	V _{CC} Range	Speed	Power Dissipation	
				Standby(I _{SB1} , TYP.)	Operating(I _{CC} , TYP.)
LY62L25716B	0 ~ 70°C	2.7 ~ 3.6V	45/55ns	1.8 μ A	12mA
LY62L25716B(I)	-40 ~ 85°C	2.7 ~ 3.6V	45/55ns	1.8 μ A	12mA

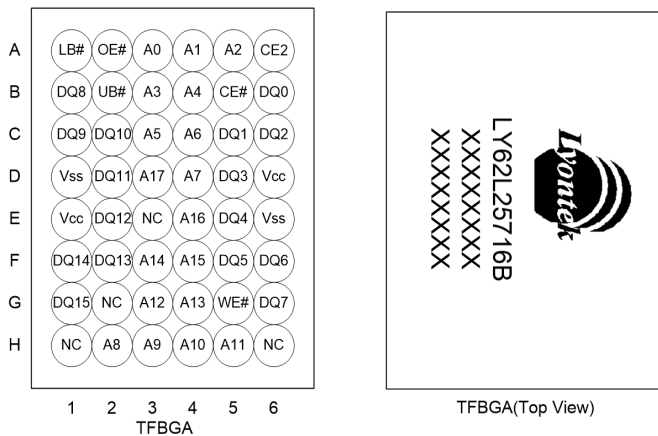
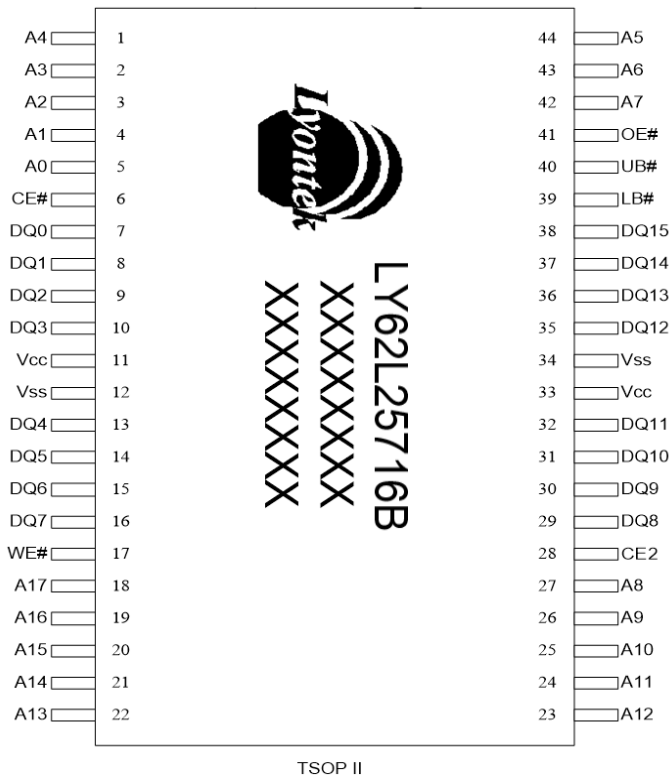
機能ブロックダイアグラム



ピン名称

SYMBOL	DESCRIPTION
A0 - A17	Address Inputs
DQ0 - DQ15	Data Inputs/Outputs
CE#, CE2	Chip Enable Input
WE#	Write Enable Input
OE#	Output Enable Input
LB#	Lower Byte Control
UB#	Upper Byte Control
V _{CC}	Power Supply
V _{SS}	Ground

ピン配置





絶対最大定格 *

PARAMETER	SYMBOL	RATING	UNIT
Voltage on V _{CC} relative to V _{SS}	V _{T1}	-0.5 to 4.6	V
Voltage on any other pin relative to V _{SS}	V _{T2}	-0.5 to V _{CC} +0.5	V
Operating Temperature	T _A	0 to 70(C grade) -40 to 85(I grade)	°C
Storage Temperature	T _{STG}	-65 to 150	°C
Power Dissipation	P _D	1	W
DC Output Current	I _{OUT}	50	mA

*「絶対最大定格」に記載されている以上のストレスは、デバイスに恒久的な損傷を与える可能性があります。これはストレス量のみでありデバイスの機能的な動作や、この仕様の動作セクションに示されている条件を超えるその他の条件を意味するものではありません。長期にわたり絶対最大定格条件に曝すとデバイスの信頼性に影響を与える可能性があります。

真理値表（動作表）

MODE	CE#	CE2	OE#	WE#	LB#	UB#	I/O OPERATION		SUPPLY CURRENT
							DQ0-DQ7	DQ8-DQ15	
Standby	H	X	X	X	X	X	High – Z	High – Z	I _{SB1}
	X	L	X	X	X	X	High – Z	High – Z	
	X	X	X	X	H	H	High – Z	High – Z	
Output Disable	L	H	H	H	L	X	High – Z	High – Z	I _{CC} , I _{CC1}
	L	H	H	H	X	L	High – Z	High – Z	
Read	L	H	L	H	L	H	D _{OUT}	High – Z	I _{CC} , I _{CC1}
	L	H	L	H	H	L	High – Z	D _{OUT}	
	L	H	L	H	L	L	D _{OUT}	D _{OUT}	
Write	L	H	X	L	L	H	D _{IN}	High – Z	I _{CC} , I _{CC1}
	L	H	X	L	H	L	High – Z	D _{IN}	
	L	H	X	L	L	L	D _{IN}	D _{IN}	

注意事項：「H」はハイレベル入力、「L」はローレベル入力。「X」は「H」又は「L」レベルのどちらでも良い。

DC 電気的特性

PARAMETER	SYMBOL	TEST CONDITION		MIN.	TYP. ^{*4}	MAX.	UNIT	
Supply Voltage	V _{CC}			2.7	3.0	3.6	V	
Input High Voltage	V _{IH} ^{*1}			2.2	-	V _{CC} +0.3	V	
Input Low Voltage	V _{IL} ^{*2}			- 0.2	-	0.6	V	
Input Leakage Current	I _{LI}	V _{CC} ≥ V _{IN} ≥ V _{SS}		- 1	-	1	μA	
Output Leakage Current	I _{LO}	V _{CC} ≥ V _{OUT} ≥ V _{SS} , Output Disabled		- 1	-	1	μA	
Output High Voltage	V _{OH}	I _{OH} = -1mA		2.2	2.7	-	V	
Output Low Voltage	V _{OL}	I _{OL} = 2mA		-	-	0.4	V	
Average Operating Power supply Current	I _{CC}	Cycle time = Min. CE# ≤ 0.2V and CE2 ≥ V _{CC} -0.2V I _{I/O} = 0mA Other pins at 0.2V or V _{CC} -0.2V		-	12	20	mA	
	I _{CC1}	Cycle time = 1μs CE# ≤ 0.2V and CE2 ≥ V _{CC} -0.2V I _{I/O} = 0mA Other pins at 0.2V or V _{CC} - 0.2V		-	2	4	mA	
Standby Power Supply Current	I _{SB1}	CE# ≥ V _{CC} - 0.2V or CE2 ≤ 0.2V Others at 0.2V or V _{CC} - 0.2V	SL ^{*5}	25°C	-	1.8	4	μA
			SLI ^{*5}	40°C	-	2	4.5	μA
			SL		-	1.8	7	μA
			SLI		-	1.8	10	μA

注意事項：

- 最大入力電圧、V_{IH} (max.)は 10ns 以内のパルス幅で V_{CC} + 3.0V とする。
- 最低入力電圧、V_{IL} (min.)は 10ns以内のパルス幅でV_{SS} - 3.0Vとする。
- オーバー/アンダーシュートに関しては製品評価段階で評価済みですが、量産時のテストはしていません。
- V_{CC}=V_{CC}(typ.)、T_A=25°Cの条件で測定された平均値は参考値として示してありますが、保証値ではなく量産時のテストはしていません。
- この項目は V_{CC}=3.0V における参考値。

CAPACITANCE (T_A = 25°C, f = 1.0MHz)

PARAMETER	SYMBOL	MIN.	MAX	UNIT
Input Capacitance	C _{IN}	-	6	pF
Input/Output Capacitance	C _{I/O}	-	8	pF

注意事項：これらのパラメータは製品評価で保証されていますが、量産時のテストはしていません。

AC TEST CONDITIONS

Input Pulse Levels	0.2V to V _{CC} - 0.2V
Input Rise and Fall Times	3ns
Input and Output Timing Reference Levels	1.5V
Output Load	C _L = 30pF + 1TTL, I _{OH} /I _{OL} = -1mA/2mA

**AC 電気的特性****(1) リード・サイクル**

PARAMETER	SYM.	LY62L25716B-45		LY62L25716B-55		UNIT
		MIN.	MAX.	MIN.	MAX.	
Read Cycle Time	t _{RC}	45	-	55	-	ns
Address Access Time	t _{AA}	-	45	-	55	ns
Chip Enable Access Time	t _{ACE}	-	45	-	55	ns
Output Enable Access Time	t _{OE}	-	25	-	30	ns
Chip Enable to Output in Low-Z	t _{CLZ} *	10	-	10	-	ns
Output Enable to Output in Low-Z	t _{OLZ} *	5	-	5	-	ns
Chip Disable to Output in High-Z	t _{CHZ} *	-	15	-	20	ns
Output Disable to Output in High-Z	t _{OHZ} *	-	15	-	20	ns
Output Hold from Address Change	t _{OH}	10	-	10	-	ns
LB#, UB# Access Time	t _{BA}	-	45	-	55	ns
LB#, UB# to High-Z Output	t _{BHZ} *	-	20	-	25	ns
LB#, UB# to Low-Z Output	t _{BLZ} *	10	-	10	-	ns

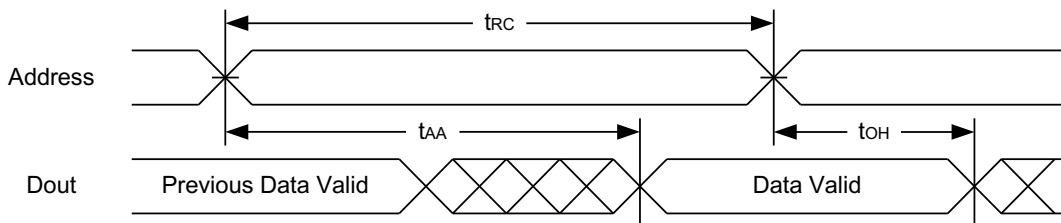
(2) ライト・サイクル

PARAMETER	SYM.	LY62L25716B-45		LY62L25716B-55		UNIT
		MIN.	MAX.	MIN.	MAX.	
Write Cycle Time	t _{WC}	45	-	55	-	ns
Address Valid to End of Write	t _{AW}	40	-	50	-	ns
Chip Enable to End of Write	t _{CW}	40	-	50	-	ns
Address Set-up Time	t _{AS}	0	-	0	-	ns
Write Pulse Width	t _{WP}	35	-	45	-	ns
Write Recovery Time	t _{WR}	0	-	0	-	ns
Data to Write Time Overlap	t _{DW}	20	-	25	-	ns
Data Hold from End of Write Time	t _{DH}	0	-	0	-	ns
Output Active from End of Write	t _{OW} *	5	-	5	-	ns
Write to Output in High-Z	t _{WHZ} *	-	15	-	20	ns
LB#, UB# Valid to End of Write	t _{BW}	35	-	45	-	ns

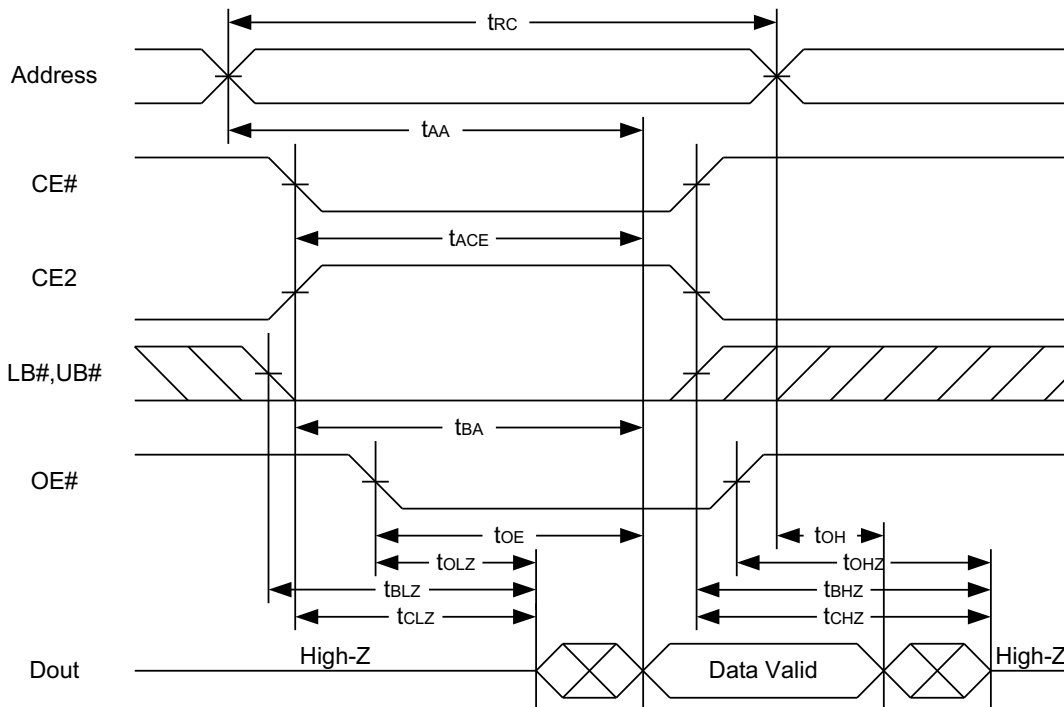
*各パラメータは製品特性上の保証値ですが、量産時のテストはしていません。

タイミング波形

リード・サイクル1 (アドレス・コントロール) (注意事項1, 2)



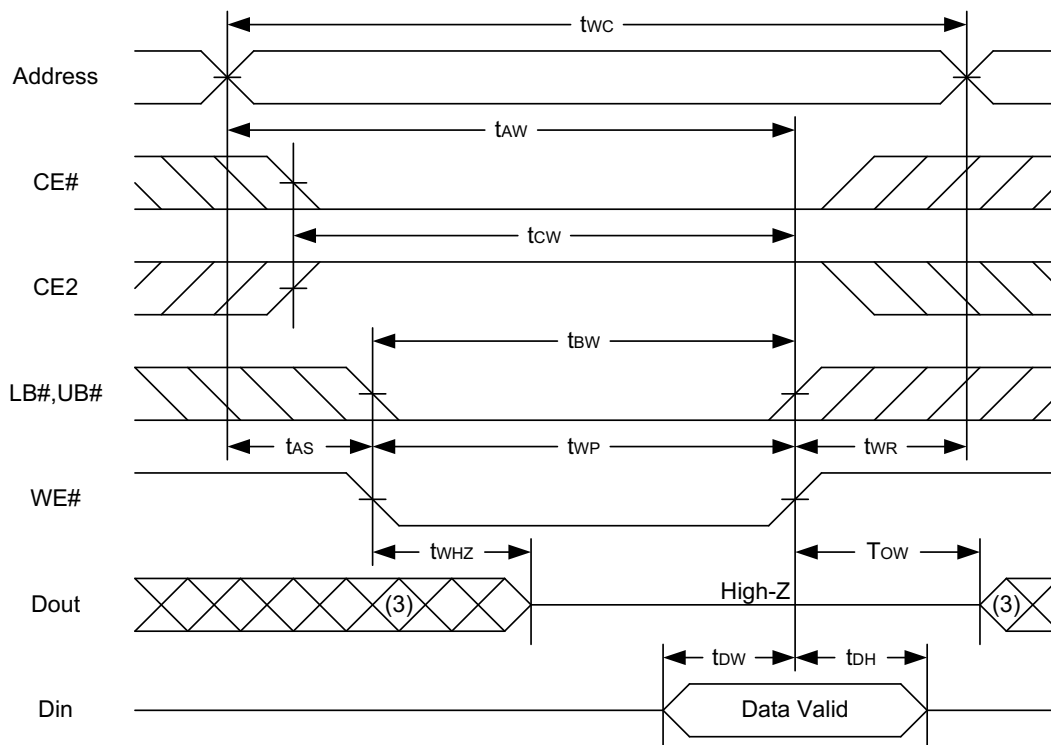
リード・サイクル2 (CE#, CE2とOE# コントロール) (注意事項1, 3, 4, 5)



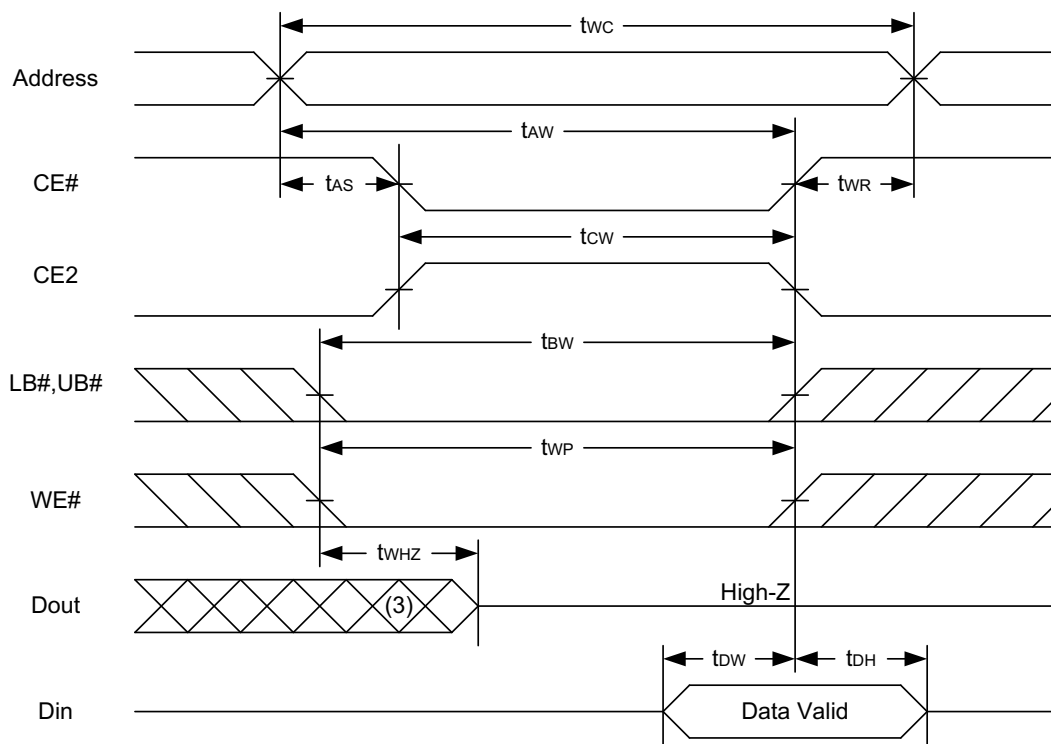
注意事項:

1. リード・サイクル時には WE#はハイレベルでなければなりません。
2. OE#と CE#はローレベル、CE2 はハイレベル、LB#と UB#のどちらかでもローレベルの場合はリード・サイクルとなります。
3. アドレスは CE#はローレベル、CE2 はハイレベル、LB#または UB#はローレベルに変化する前、または同時に有効でなければなりません。もしそうでなければ tAA は保証されません。
4. tCLZ, tBLZ, tOLZ, tCHZ, tBHZ, および toHZ は、CL = 5pF で指定されます。その変化は定常状態から ±500mV の測定です。
5. 温度および電圧が同じ条件であれば tCHZはtCLZより小さく、tBHZはtBLZより小さく、toHZはtOLZより小さくなります。

ライト・サイクル 1 (WE# コントロール) (注意事項 1,2,4,5)

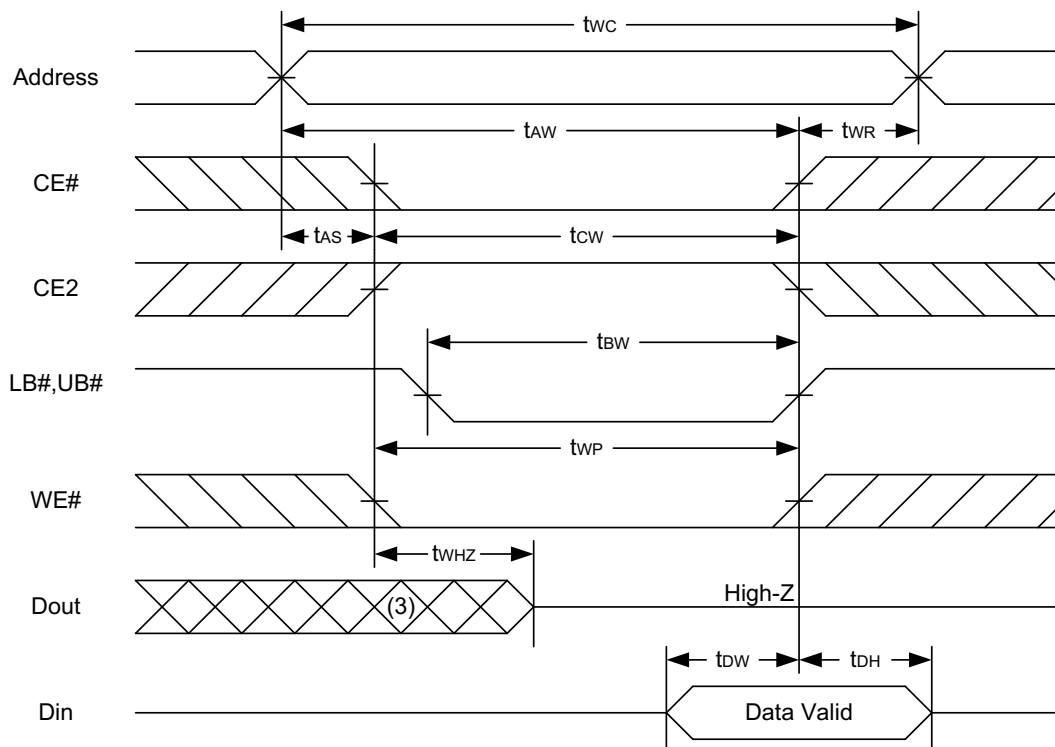


イト・サイクル 2 (CE#とCE2 コントロール) (注意事項 1,4,5)





ライト・サイクル 3 (LB#,UB# コントロール) (注意事項 1,4,5)



注意事項：

- 書き込みはCE#はローレベル、CE2はハイレベル、WE#はローレベル、LB#またはUB#はローレベルのオーバーラップ中に実行されます。
- OE#がローレベルのWE#制御書き込みサイクル中、内部回路のドライバーをオフにしてデータを書き込みするには t_{WP} を $t_{WHZ} + t_{DW}$ より大きくする必要があります。
- この期間、I/Oピンは出力状態にあり入力信号を印加してはいけません。
- CE#、LB#、UB#のローレベルへの変化とCE2のハイレベルへの変化がWE#のローレベルへの変化と同時にまたはその後に発生した場合、出力は高インピーダンス状態になります。
- t_{OW} および t_{WHZ} は $CL = 5pF$ の条件です。この変化は定常状態から $\pm 500mV$ での測定です。

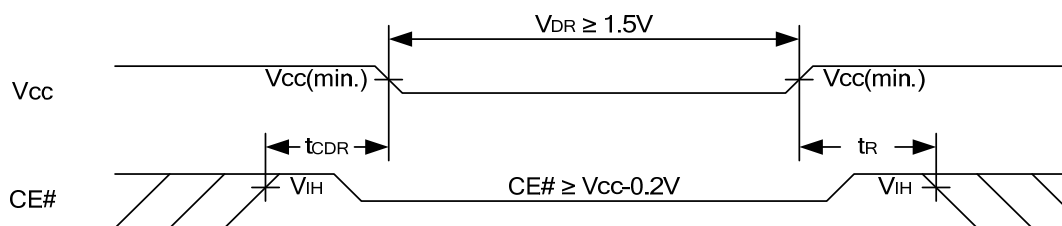
データ保持特性

PARAMETER	SYMBOL	TEST CONDITION	MIN.	TYP.	MAX.	UNIT
V _{CC} for Data Retention	V _{DR}	CE# $\geq$ V _{CC} - 0.2V	1.5	-	3.6	V
Data Retention Current	I _{DR}	V _{CC} = 1.5V	SL 25°C	-	1.8	4 μ A
		CE# $\geq$ V _{CC} - 0.2V or CE2 $\leq$ 0.2V	SLI 40°C	-	2	4.5 μ A
		Other pins at 0.2V or V _{CC} -0.2V	SL	-	1.8	7 μ A
			SLI	-	1.8	10 μ A
Chip Disable to Data Retention Time	t _{CDR}	See Data Retention Waveforms (below)	0	-	-	ns
Recovery Time	t _R		t _{RC} *	-	-	ns

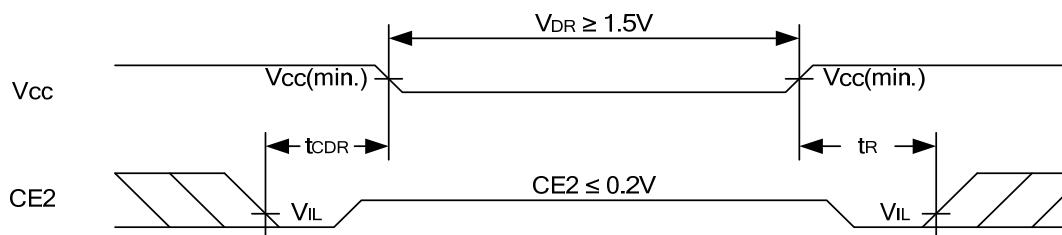
t_{RC}* = Read Cycle Time

データ保持タイミング・チャート

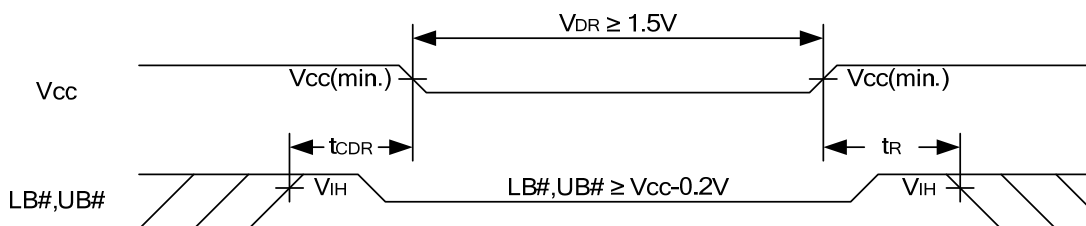
データ保持タイミング・チャート 1 (CE# コントロール)



データ保持タイミング・チャート 1 (CE2 コントロール)



データ保持タイミング・チャート 3 (LB#, UB# コントロール)





Lyontek Inc.

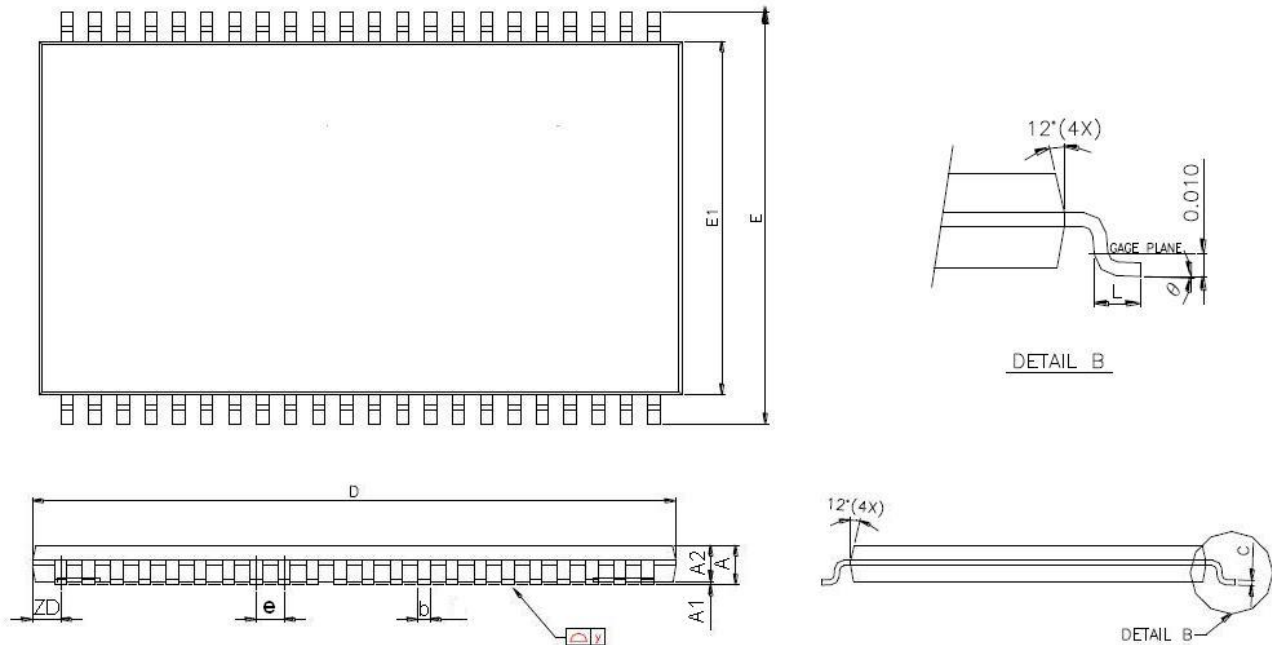
LY62L25716B

Rev.J 1.3

4M BITS 低消費電力SRAM (256Kx16)

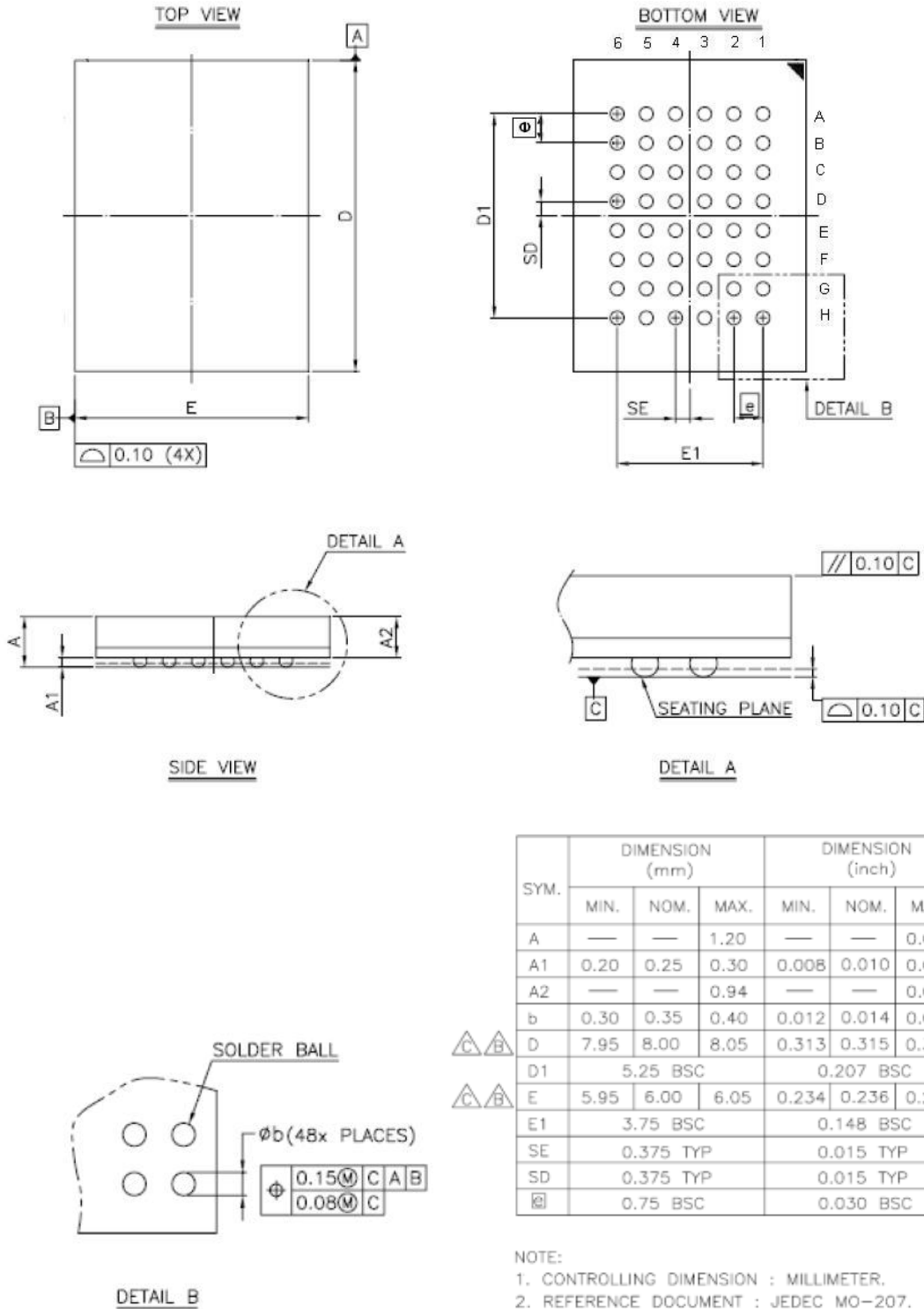
パッケージ外形寸法

44ピン 400mil TSOP II パッケージ外形寸法



SYMBOLS	DIMENSIONS IN MILLIMETERS			DIMENSIONS IN MILS		
	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.
A	-	-	1.20	-	-	47.2
A1	0.05	0.10	0.15	2.0	3.9	5.9
A2	0.95	1.00	1.05	37.4	39.4	41.3
b	0.30	-	0.45	11.8	-	17.7
c	0.12	-	0.21	4.7	-	8.3
D	18.212	18.415	18.618	717	725	733
E	11.506	11.760	12.014	453	463	473
E1	9.957	10.160	10.363	392	400	408
e	-	0.800	-	-	31.5	-
L	0.40	0.50	0.60	15.7	19.7	23.6
ZD	-	0.805	-	-	31.7	-
y	-	-	0.076	-	-	3
Θ	0°	3°	6°	0°	3°	6°

48-ball 6mm × 8mm TFBGA パッケージ外形寸法





注文時の関連情報

Package Type	Access Time (Speed)(ns)	Power Type	Temperature Range(°C)	Packing Type	Lyontek Item No.
44Pin(400mil) TSOP II	45	Special Ultra Low Power	0°C~70°C	Tray	LY62L25716BML-45SL
				Tape Reel	LY62L25716BML-45SLT
			-40°C~85°C	Tray	LY62L25716BML-45SLI
				Tape Reel	LY62L25716BML-45SLIT
	55	Special Ultra Low Power	0°C~70°C	Tray	LY62L25716BML-55SL
				Tape Reel	LY62L25716BML-55SLT
			-40°C~85°C	Tray	LY62L25716BML-55SLI
				Tape Reel	LY62L25716BML-55SLIT
48Ball(6mm*8mm) TFBGA	45	Special Ultra Low Power	0°C~70°C	Tray	LY62L25716BGL-45SL
				Tape Reel	LY62L25716BGL-45SLT
			-40°C~85°C	Tray	LY62L25716BGL-45SLI
				Tape Reel	LY62L25716BGL-45SLIT
	55	Special Ultra Low Power	0°C~70°C	Tray	LY62L25716BGL-55SL
				Tape Reel	LY62L25716BGL-55SLT
			-40°C~85°C	Tray	LY62L25716BGL-55SLI
				Tape Reel	LY62L25716BGL-55SLIT