

改訂記録

<u>改訂番号</u>	<u>改訂内容</u>	<u>発行年月日</u>
Rev. J1.0	初版	2017年6月8日
Rev. J1.1	ページ6と7のライト・サイクルのタイミング波形の部分の誤記訂正	2020年7月30日
Rev. J1.2	ページ1 特長に製品タイプ追加 ページ11 注文時の関連情報に変更あり、製品タイプ追加	2021年8月10日

REVISION HISTORY

<u>Revision</u>	<u>Description</u>	<u>Issue Date</u>
Rev. 1.0	Initial Issue	Jun.08.2017
Rev. 1.1	Revised typo in <u>TIMING WAVEFORMS</u> of <u>WRITE CYCLE</u> in page 6 & 7	Jul.30.2020
Rev. 1.2	1.Revised typo in <u>FEATURE Product type:</u> in page 1 .Revised typo in <u>ORDERING INFORMATION</u> in page 11	Aug.10.2021

特長

- アクセス時間 : 55ns (max.)
- 低消費電力:
動作電流 : 12mA (typ.)
スタンバイ電流 : 12 μ A (typ.) SL-グレード
- 単一電源動作 : 2.7V~3.6V
- 入出力TTLコンパチブル
- 完全スタティック動作
- トライ・ステート出力
- データ・バイト制御 : LB#はDQ0 ~ DQ7制御
UB#はDQ8 ~ DQ15制御
- データ保持最低電源電圧 : 1.2V (min.)
- **グリーン・パッケージ対応**
- 製品タイプ : Chips under wafer form
Chips under die form
パッケージ : 8-ball 8mm x 10mm TFBGA

製品ラインナップ

概要

LY62L409716Aシリーズは67,108,864ビットで4,194,304 x 16ビットの低消費電力CMOSスタティックRAMです。

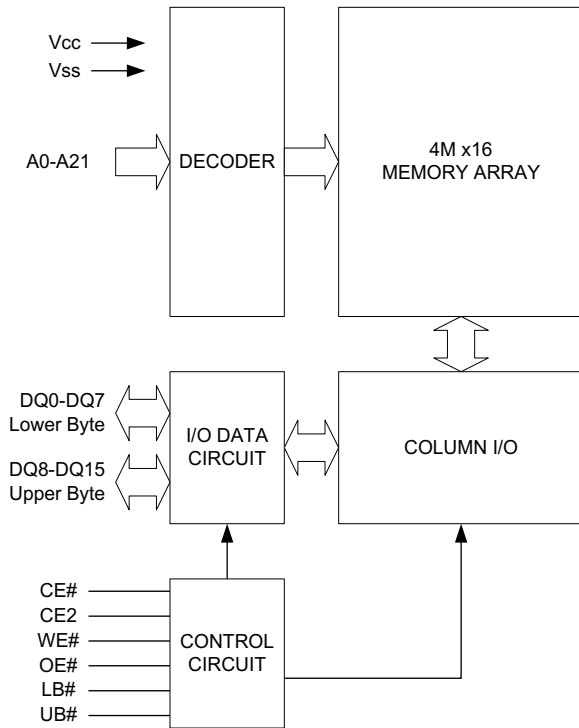
高性能と高信頼性CMOS技術を採用し全動作温度範囲において安定したスタンバイ電流特性を持っています。

LY62L409716Aシリーズは低消費電力の商品に適しています。特に電源切断時に二次電源でバックアップしデータを保持する必要があるシステムに最適です。

LY62L409716Aシリーズは単一の2.7V ~ 3.6Vの電源で動作し全ての入出力はTTLコンパチです。

Product Family	Operating Temperature	Vcc Range	Speed	Power Dissipation	
				Standby(I _{SB1} , TYP.)	Operating(I _{CC} , TYP.)
LY62L409716A	0 ~ 70°C	2.7 ~ 3.6V	55ns	12 μ A(SL)	12mA
LY62L409716A(I)	-40 ~ 85°C	2.7 ~ 3.6V	55ns	12 μ A(SL)	12mA

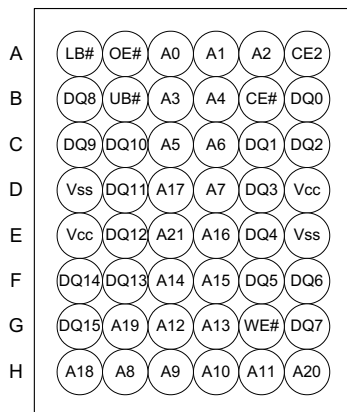
機能ブロックダイアグラム



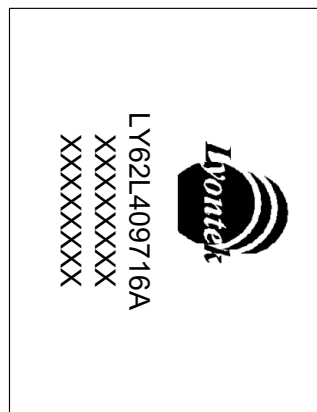
ピン名称

SYMBOL	DESCRIPTION
A0 - A21	Address Inputs
DQ0 - DQ15	Data Inputs/Outputs
CE#, CE2	Chip Enable Input
WE#	Write Enable Input
OE#	Output Enable Input
LB#	Lower Byte Control
UB#	Upper Byte Control
Vcc	Power Supply
Vss	Ground

ピン配置



TFPGA(See through with Top View)



TFPGA(Top View)

絶対最大定格*

PARAMETER	SYMBOL	RATING	UNIT
Voltage on V _{CC} relative to V _{SS}	V _{T1}	-0.5 to 4.6	V
Voltage on any other pin relative to V _{SS}	V _{T2}	-0.5 to V _{CC} +0.5	V
Operating Temperature	T _A	0 to 70(C grade)	°C
		-40 to 85(I grade)	
Storage Temperature	T _{STG}	-65 to 150	°C
Power Dissipation	P _D	1	W
DC Output Current	I _{OUT}	50	mA

*「絶対最大定格」に記載されている以上のストレスは、デバイスに恒久的な損傷を与える可能性があります。これはストレス量のみでありデバイスの機能的な動作や、この仕様の動作セクションに示されている条件を超えるその他の条件を意味するものではありません。長期にわたり絶対最大定格条件に曝すとデバイスの信頼性に影響を与える可能性があります。

真理値表（動作表）

MODE	CE#	CE2	OE#	WE#	LB#	UB#	I/O OPERATION		SUPPLY CURRENT
							DQ0 - DQ7	DQ8 - DQ15	
Standby	H	X	X	X	X	X	High-Z	High-Z	I _{SB1}
	X	L	X	X	X	X	High-Z	High-Z	
	X	X	X	X	H	H	High-Z	High-Z	
Output Disable	L	H	H	H	L	X	High-Z	High-Z	I _{CC} , I _{CC1}
	L	H	H	H	X	L	High-Z	High-Z	
Read	L	H	L	H	L	H	D _{OUT}	High-Z	I _{CC} , I _{CC1}
	L	H	L	H	H	L	High-Z	D _{OUT}	
	L	H	L	H	L	L	D _{OUT}	D _{OUT}	
Write	L	H	X	L	L	H	D _{IN}	High-Z	I _{CC} , I _{CC1}
	L	H	X	L	H	L	High-Z	D _{IN}	
	L	H	X	L	L	L	D _{IN}	D _{IN}	

注意事項：「H」はハイレベル入力、「L」はローレベル入力。「X」は「H」又は「L」レベルのどちらでも良い。

DC 電気的特性

PARAMETER	SYMBOL	TEST CONDITION	MIN.	TYP. ^{*4}	MAX.	UNIT		
Supply Voltage	V _{CC}		2.7	3.0	3.6	V		
Input High Voltage	V _{IH} ^{*1}		2.2	-	V _{CC} +0.3	V		
Input Low Voltage	V _{IL} ^{*2}		- 0.2	-	0.6	V		
Input Leakage Current	I _{LI}	V _{CC} ≥ V _{IN} ≥ V _{SS}	- 1	-	1	μA		
Output Leakage Current	I _{LO}	V _{CC} ≥ V _{OUT} ≥ V _{SS} Output Disabled	- 1	-	1	μA		
Output High Voltage	V _{OH}	I _{OH} = -1mA	2.2	2.7	-	V		
Output Low Voltage	V _{OL}	I _{OL} = 2mA	-	-	0.4	V		
Average Operating Power supply Current	I _{CC}	Cycle time = MIN. CE# ≤ 0.2V and CE2 ≥ V _{CC} -0.2V, I _{I/O} = 0mA Other pins at 0.2V or V _{CC} -0.2V	-	12	20	mA		
	I _{CC1}	Cycle time = 1μs CE# ≤ 0.2V and CE2 ≥ V _{CC} -0.2V, I _{I/O} = 0mA Other pins at 0.2V or V _{CC} -0.2V	-	3	5	mA		
Standby Power Supply Current	I _{SB1}	CE# ≥ V _{CC} -0.2V or CE2 ≤ 0.2V Others at 0.2V or V _{CC} -0.2V	-SL ^{*5}	25°C	-	12	32	μA
			-SLI ^{*5}	40°C	-	12	36	μA
			-SL	(70°C)	-	-	100	μA
			-SLI	(85°C)	-	-	160	μA

注意事項：

- 最大入力電圧、V_{IH} (max.)は 6ns 以内のパルス幅で V_{CC} + 2.0V とする。
- 最低入力電圧、V_{IL} (min.)は 6ns 以内のパルス幅で V_{SS} - 2.0V とする。
- オーバー/アンダーシュートに関しては製品評価段階で評価済みですが、量産時のテストはしていません。
- V_{CC}=V_{CC}(typ.)、T_A=25°Cの条件で測定された平均値は参考値として示してありますが、保証値ではなく量産時のテストはしていません。
- この項目は V_{CC}=3.0V における参考値。

負荷容量 (T_A=25°C, f=1.0MHz)

PARAMETER	SYMBOL	MIN.	MAX.	UNIT
Input Capacitance	C _{IN}	-	15	pF
Input/Output Capacitance	C _{I/O}	-	20	pF

注意事項：これらのパラメータは製品評価で保証されていますが、量産時のテストはしていません。

AC テスト条件

Input Pulse Levels	0.2V to $V_{CC} - 0.2V$
Input Rise and Fall Times	3ns
Input and Output Timing Reference Levels	1.5V
Output Load	$C_L = 30pF + 1TTL, I_{OH}/I_{OL} = -1mA/2mA$

AC 電気的特性

(1) リード・サイクル

PARAMETER	SYM.	LY62L409716A-55		UNIT
		MIN.	MAX.	
Read Cycle Time	t_{RC}	55	-	ns
Address Access Time	t_{AA}	-	55	ns
Chip Enable Access Time	t_{ACE}	-	55	ns
Output Enable Access Time	t_{OE}	-	30	ns
Chip Enable to Output in Low-Z	t_{CLZ}^*	10	-	ns
Output Enable to Output in Low-Z	t_{OLZ}^*	5	-	ns
Chip Disable to Output in High-Z	t_{CHZ}^*	-	20	ns
Output Disable to Output in High-Z	t_{OHZ}^*	-	20	ns
Output Hold from Address Change	t_{OH}	10	-	ns
LB#, UB# Access Time	t_{BA}	-	55	ns
LB#, UB# to High-Z Output	t_{BHZ}^*	-	20	ns
LB#, UB# to Low-Z Output	t_{BLZ}^*	10	-	ns

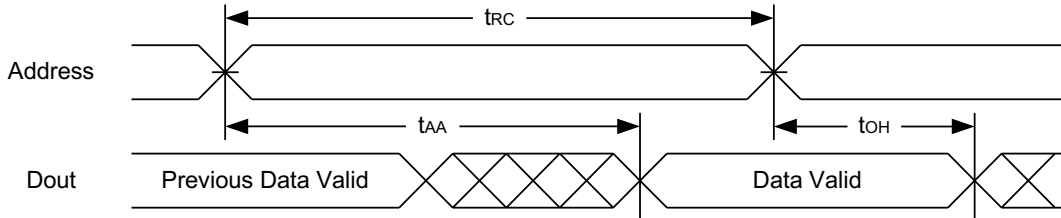
(2) ライト・サイクル

PARAMETER	SYM.	LY62L409716A-55		UNIT
		MIN.	MAX.	
Write Cycle Time	t_{WC}	55	-	ns
Address Valid to End of Write	t_{AW}	50	-	ns
Chip Enable to End of Write	t_{CW}	50	-	ns
Address Set-up Time	t_{AS}	0	-	ns
Write Pulse Width	t_{WP}	45	-	ns
Write Recovery Time	t_{WR}	0	-	ns
Data to Write Time Overlap	t_{DW}	25	-	ns
Data Hold from End of Write Time	t_{DH}	0	-	ns
Output Active from End of Write	t_{OW}^*	5	-	ns
Write to Output in High-Z	t_{WHZ}^*	-	20	ns
LB#, UB# Valid to End of Write	t_{BW}	50	-	ns

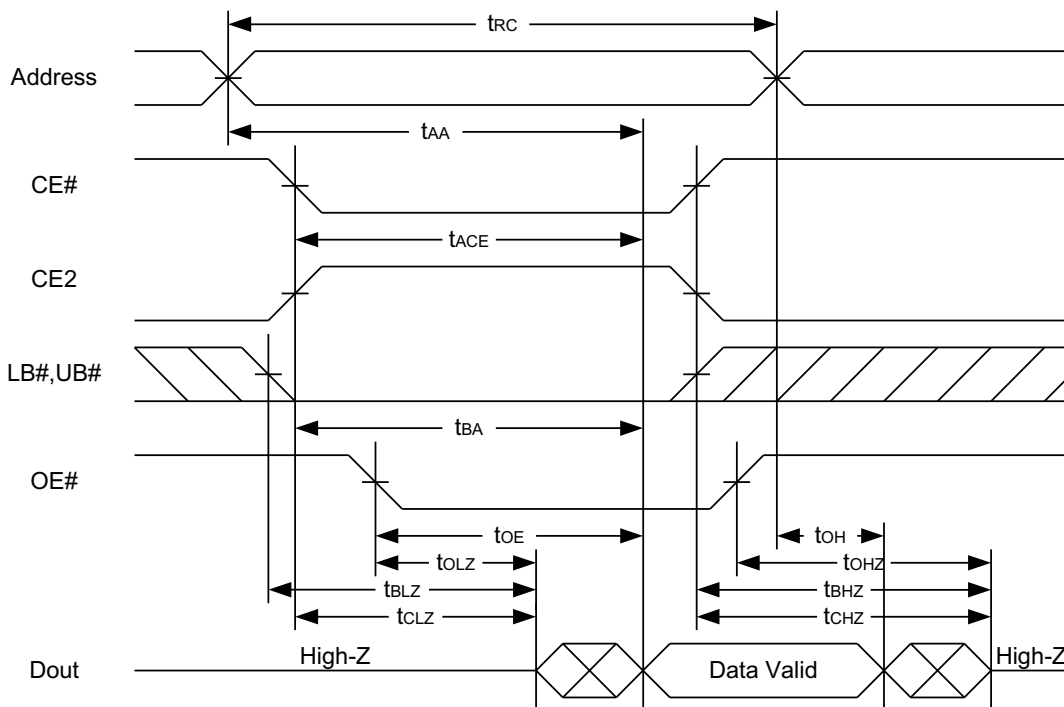
*各パラメータは製品特性上の保証値ですが、量産時のテストはしていません。

タイミング波形

リード・サイクル1 (アドレス・コントロール) (注意事項1, 2)



リード・サイクル2 (CE#, CE2とOE#コントロール) (注意事項1, 3, 4, 5)

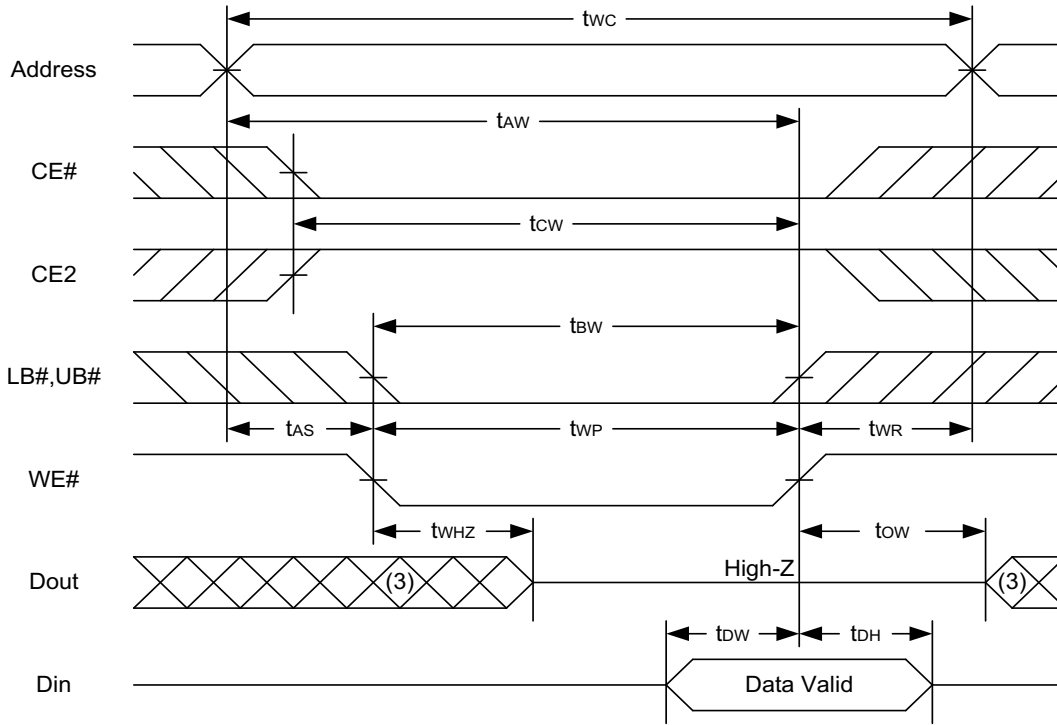


注意事項

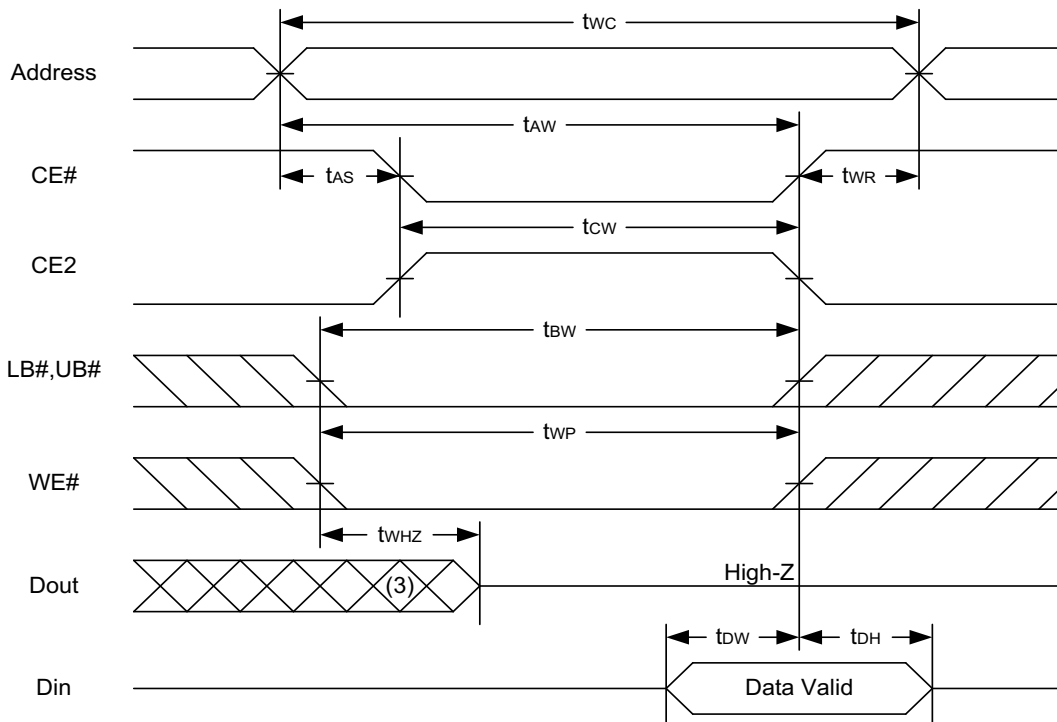
- 1.リード・サイクル時には WE#はハイレベルでなければなりません。
- 2.OE#と CE#はローレベル、CE2 はハイレベル、LB#と UB#のどちらかでもローレベルの場合はリード・サイクルとなります。
- 3.アドレスは CE# はローレベル、CE2 =ハイレベル、LB#または UB# はローレベルに変化する前、または同時に有効でなければなりません。もしそうでなければ tAA は保証されません。
- 4.tCLZ、tBLZ、tOLZ、tCHZ、tBHZ、および tOHZ は、CL = 5pF で指定されます。その変化は定常状態から ±500mV の測定です。
- 5.温度および電圧が同じ条件であれば tCHZ は tCLZ より小さく、tBHZ は tBLZ より小さく、tOHZ は tOLZ より小さくなります。



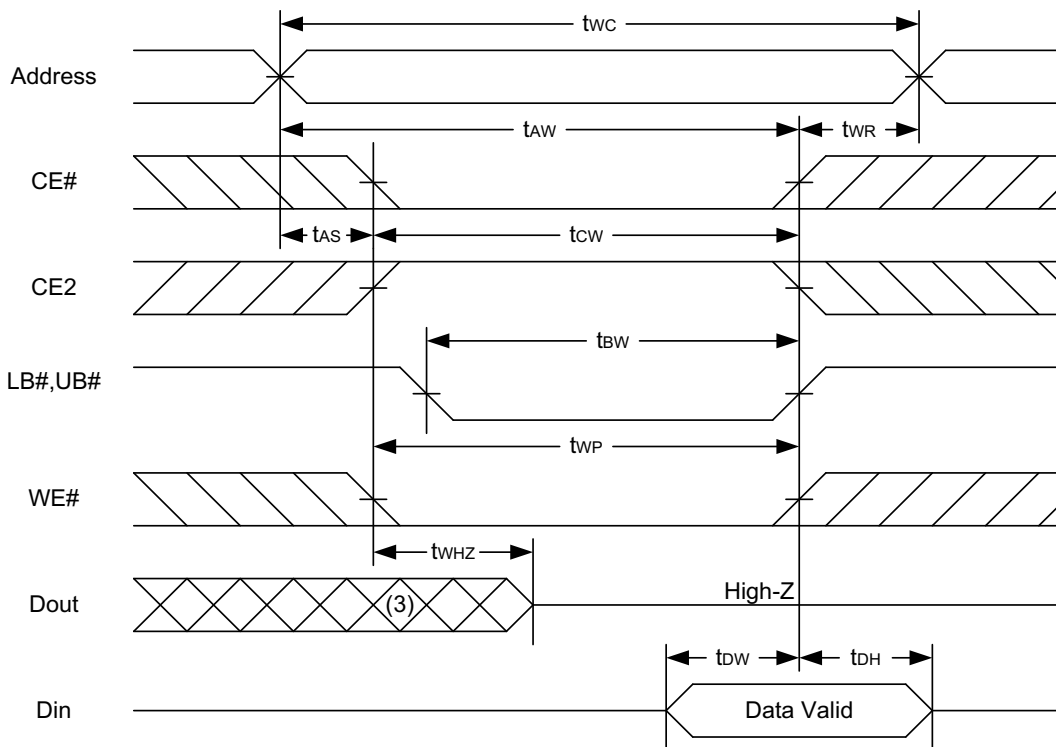
ライト・サイクル1 (WE# コントロール) (注意事項 1,2,4,5)



ライト・サイクル2 (CE#とCE2 コントロール) (注意事項 1,4,5)



ライト・サイクル 3 (LB#,UB# コントロール) (注意事項 1,4,5)



注意事項

- 書き込みはCE#はローレベル、CE2はハイレベル、WE#はローレベル、LB#またはUB#はローレベルのオーバーラップ中に実行されます。
- OE#がローレベルのWE#制御書き込みサイクル中、内部回路のドライバーをオフにしてデータを書き込みするには t_{WP} を $t_{WHZ} + t_{DQ}$ より大きくする必要があります。
- この期間、I/Oピンは出力状態にあり入力信号を印加してはいけません。
- CE#、LB#、UB#のローレベルへの変化およびCE2のハイレベルへの変化がWE#のローレベルへの変化と同時にまたはその後に発生した場合、出力は高インピーダンス状態になります。
- t_{DQ} および t_{WHZ} は $CL = 5pF$ の条件です。この変化は定常状態から $\pm 500mV$ での測定です。



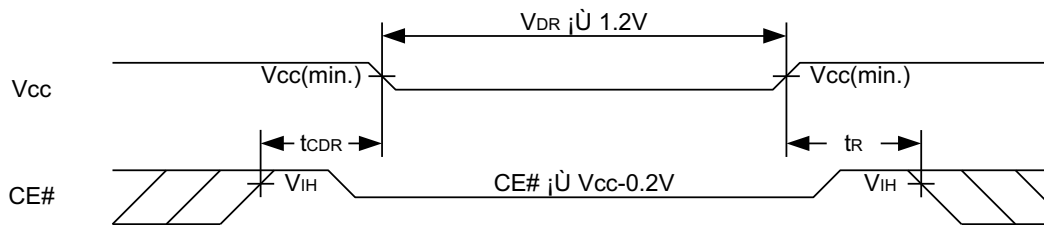
データ保持特性

PARAMETER	SYMBOL	TEST CONDITION	MIN.	TYP.	MAX.	UNIT		
V _{CC} for Data Retention	V _{DR}	CE# ≥ V _{CC} - 0.2V or CE2 ≤ 0.2V	1.2	-	3.6	V		
Data Retention Current	I _{DR}	V _{CC} = 1.2V CE# ≥ V _{CC} - 0.2V or CE2 ≤ 0.2V Other pins at 0.2V or V _{CC} - 0.2V	-SL	25°C	-	10	32	μA
			-SLI	40°C	-	10	36	μA
			-SL		-	-	100	μA
			-SLI		-	-	160	μA
Chip Disable to Data Retention Time	t _{CDR}	See Data Retention Waveforms (below)	0	-	-	ns		
Recovery Time	t _R		t _{RC} *	-	-	ns		

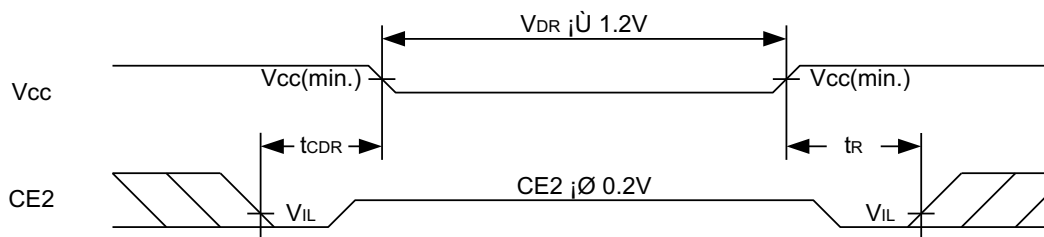
t_{RC}* = Read Cycle Time

データ保持タイミング・チャート

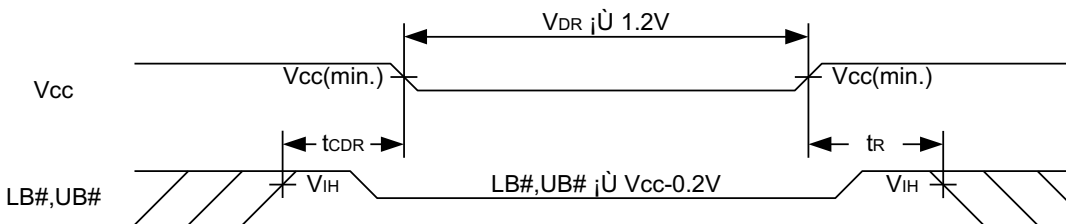
データ保持タイミング・チャート 1 (CE# コントロール)



データ保持タイミング・チャート 2 (CE2 コントロール)

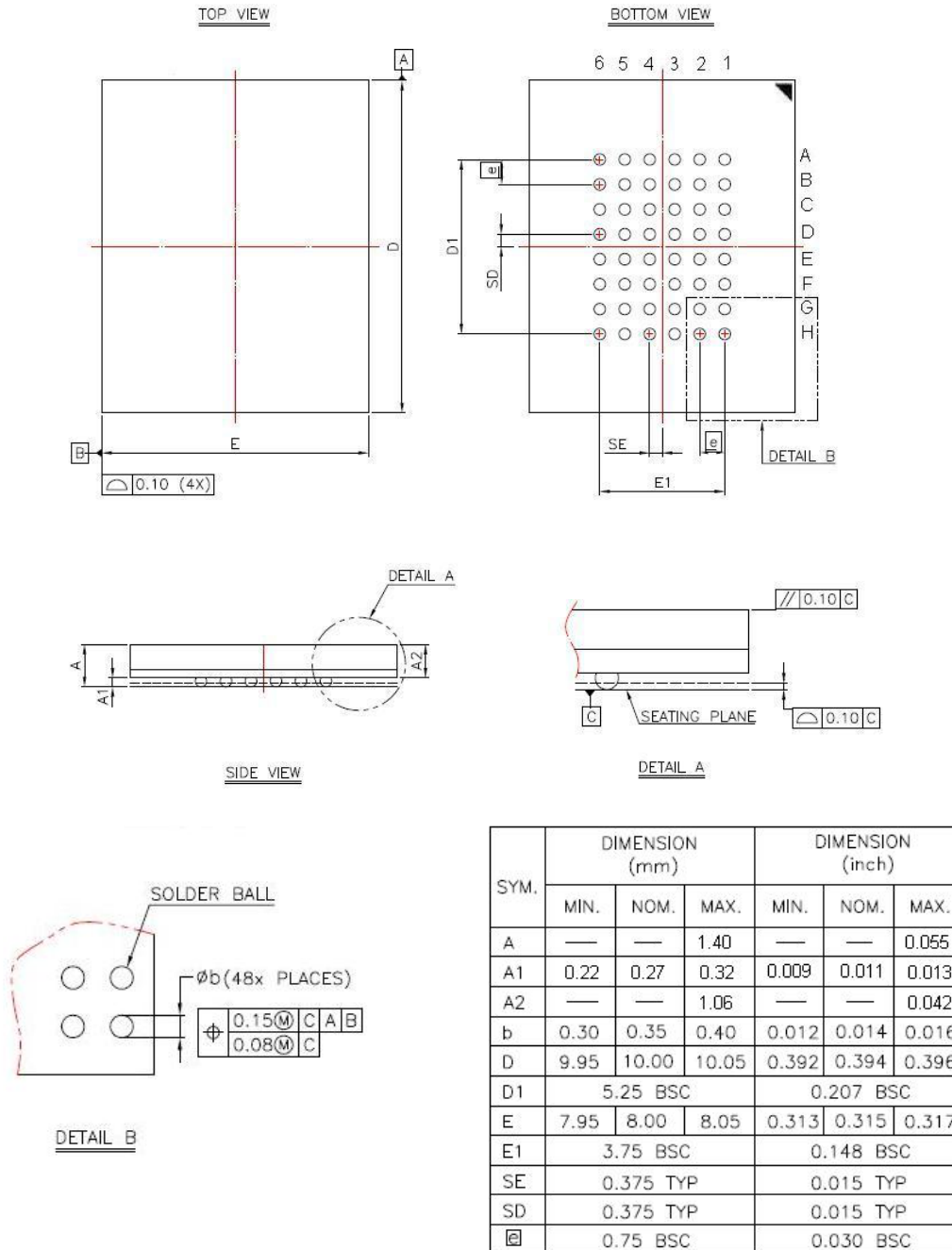


データ保持タイミング・チャート 3 (LB#,UB# コントロール)



パッケージ外形寸法

48-ball 8mm × 10mm TFBGA パッケージ外形寸法



NOTE:
 1. CONTROLLING DIMENSION : MILLIMETER.
 2. REFERENCE DOCUMENT : JEDEC MO-207.



注文時の関連情報

Package Type	Access Time (Speed)(ns)	Power Type	Temperature Range(°C)	Packing Type	Lyontek Item No.
48-ball (8mm x 10mm) TFBGA	55	Special Ultra Low Power	0°C~70°C	Tray	LY62L409716AGL-55SL
				Tape Reel	LY62L409716AGL-55SLT
			-40°C~85°C	Tray	LY62L409716AGL-55SLI
				Tape Reel	LY62L409716AGL-55SLIT
Chip	55	Special Ultra Low Power	0°C~70°C	wafer	LY62L409716AK
Chip	55	Special Ultra Low Power	0°C~70°C	Tray	LY62L409716AH