

改訂記録

改訂番号	改訂内容	発行年月日
Rev. J1.0	初版	2020年09月08日
Rev. J1.1	ページ14 注文時の関連情報に変更あり、パッケージ追加	2021年08月30日
Rev. J1.2	ページ14 注文時の関連情報に変更あり、 パッケージ 32(400mil) TSOP 追加、そして32(600mil) PDIP 削除 ページ4 変更あり Icc(55ns)_typ=10mA、 Icc(55ns)_max=18mA ページ4 及び8 変更あり Isb(SL)_max=8.0uA、 I _{DR} (SL)_max=8.0uA	2023年10月19日
Rev. J1.3	1. ページ4 DC電気特性 変更あり、スタンバイ電流の訂正 I _{SB1} : SL(MAX.)8→7、 <u>SLE</u> 削除 →SLI(MAX.) 12→10 2. ページ8 データ保持特性 変更あり データ保持電流 I _{DR} : SL(MAX.)8→7、SLI(MAX.) 12→10	2025年04月21日
Rev. J1.4	10ページ パッケージ外形寸法外形寸法 32 pin 8mm x 20mm TSOP I L1 誤記入を訂正	2025年08月11日
Rev. J1.5	1ページ 変更 特長: 32 pin 8mm x 20mm TSOP I を削除	2026年02月25日

REVISION HISTORY

Revision	Description	Issue Date
Rev. 1.0	Initial Issue	Sep.08.2020
Rev. 1.1	Revised ORDERING INFORMATION in page 14	Aug.30.2021
Rev. 1.2	Revised ORDERING INFORMATION in page 14 PKG type : Added 32(400mil) TSOP II & Deleted 32(600mil) PDIP Revised Icc(55ns)_typ=10mA; Icc(55ns)_max=18mA in page 4 Revised Isb(SL)_max=8.0uA & I _{DR} (SL)_max=8.0uA in page 4 & 8	Oct.19.2023
Rev.1.3	1. Revised DC ELECTRICAL CHARACTERISTICS : Standby Power Supply Current: I _{SB1} : SL(MAX.)8→7, Deleted <u>SLE</u> →SLI(MAX.)12→10 in page 4 2. Revised DATA RETENTION CHARACTERISTICS : Data Retention Current: I _{DR} : SL(MAX.)8→7, SLI(MAX.)12→10 in page 8	Apr.21.2025
Rev.1.4	Revised Typo error of PACKAGE OUTLINE DIMENSION : 32 pin 8mm x 20mm TSOP I L1 in page 10	Aug.11.2025
Rev.1.5	Deleted 32-pin 8mm x 20mm TSOP I in FEATURES --- Page1	Feb.25.2026

特長

- アクセス時間 : 45/55ns (max)
- 低消費電力:
動作電流 : 12/20mA (typ.)
スタンバイ電流 : 1.8 μ A (typ.) SL-グレイト
- 単一電源動作 : 2.7V ~ 3.6V
- 入出力TTLコンパチブル
- 完全スタティック動作
- トライ・ステート出力
- データ保持最低電源電圧 : 1.5V (min.)
- **グリーン・パッケージ対応**
- パッケージ: 32-pin 450 mil SOP
32-pin 8mm x 13.4mm sTROP
32-pin 400 mil TSOP II
36-ball 6mm x 8mm TFBGA

概要

LY62L5128B シリーズは4,194,304ビットで524,288x8ビットの低消費電力CMOSスタティックRAMです。

高性能と高信頼性CMOS技術を採用し全動作温度範囲において安定したスタンバイ電流特性を持っています。

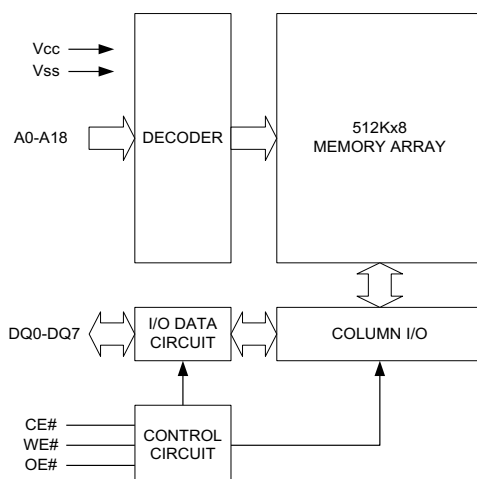
LY62L5128Bシリーズは低消費電力の商品に適しています。特に電源切断時に二次電源でバックアップデータを保持する必要があるシステムに最適です。

LY62L5128Bシリーズは単一の2.7V ~ 3.6Vの電源で動作し全ての入出力はTTLコンパチです。

製品ラインナップ

Product Family	Operating Temperature	Vcc Range	Speed	Power Dissipation	
				Standby(I _{SB1} , TYP.)	Operating(I _{CC} , TYP.)
LY62L5128B	0 ~ 70°C	2.7 ~ 3.6V	45/55ns	1.8 μ A	12mA
LY62L5128B(I)	-40 ~ 85°C	2.7 ~ 3.6V	45/55ns	1.8 μ A	12mA

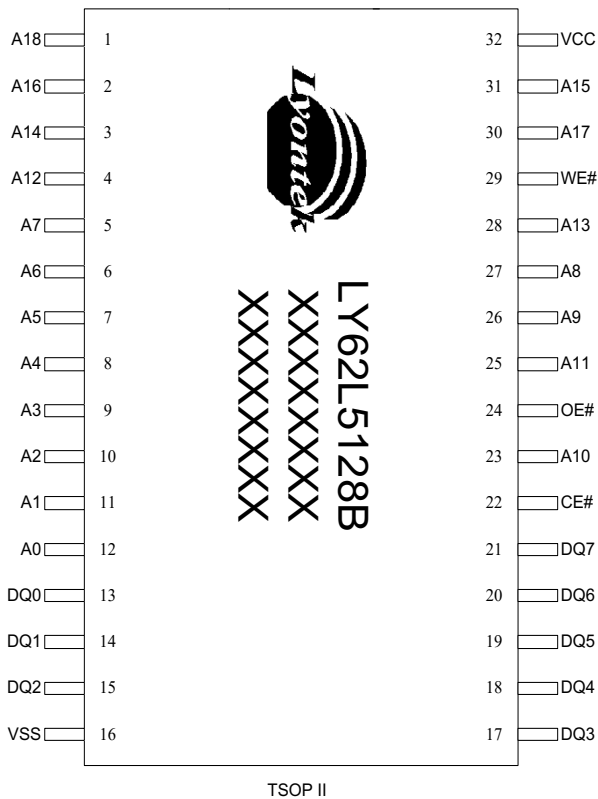
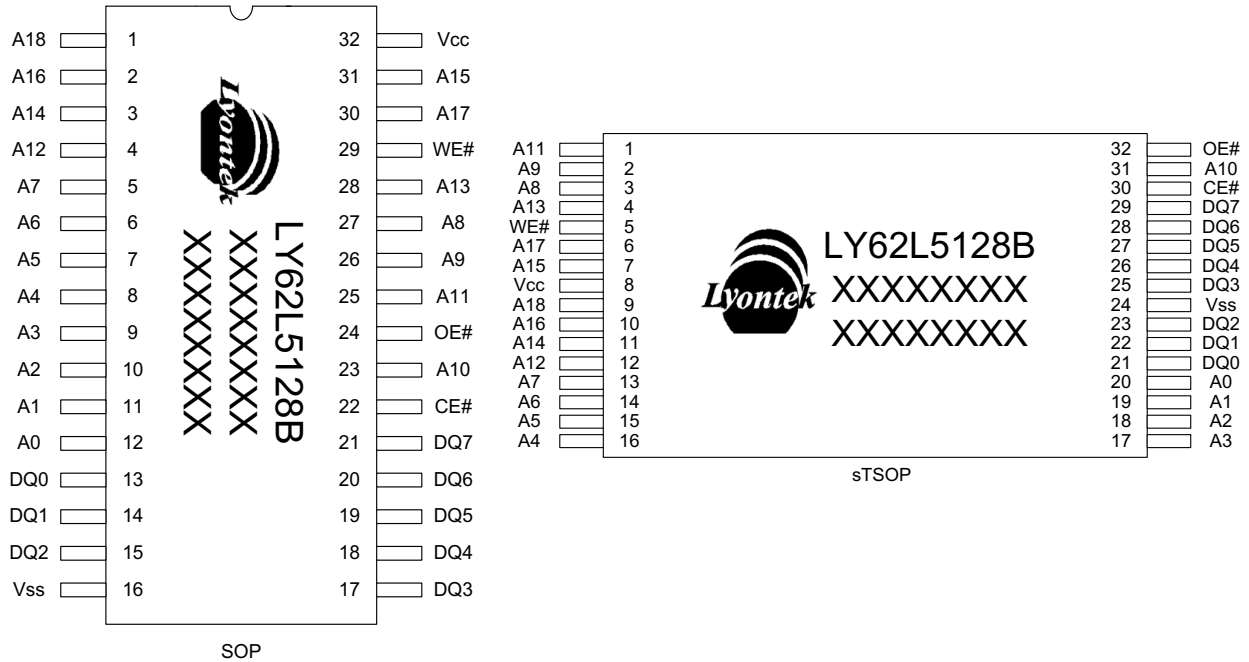
機能ブロックダイアグラム

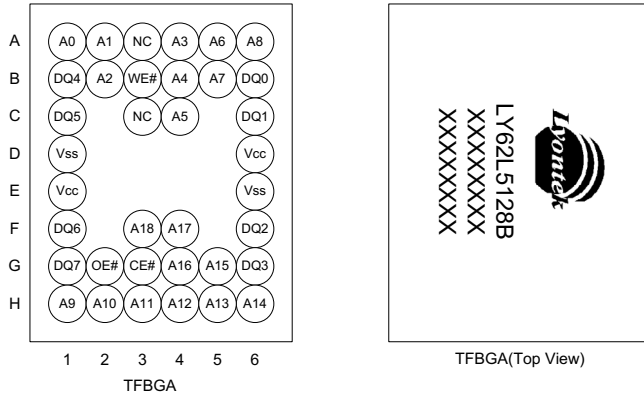


ピン名称

SYMBOL	DESCRIPTION
A0 - A18	Address Inputs
DQ0 - DQ7	Data Inputs/Outputs
CE#	Chip Enable Inputs
WE#	Write Enable Input
OE#	Output Enable Input
V _{CC}	Power Supply
V _{SS}	Ground
NC	No Connection

ピン配置



ピン配置

絶対最大定格 *

PARAMETER	SYMBOL	RATING	UNIT
Voltage on V _{CC} relative to V _{SS}	V _{T1}	-0.5 to 4.6	V
Voltage on any other pin relative to V _{SS}	V _{T2}	-0.5 to V _{CC} +0.5	V
Operating Temperature	T _A	0 to 70(C grade)	°C
		-40 to 85(I grade)	
Storage Temperature	T _{STG}	-65 to 150	°C
Power Dissipation	P _D	1	W
DC Output Current	I _{OUT}	50	mA

* 「絶対最大定格」に記載されている以上のストレスは、デバイスに恒久的な損傷を与える可能性があります。これはストレス量のみでありデバイスの機能的な動作や、この仕様の動作セクションに示されている条件を超えるその他の条件を意味するものではありません。長期にわたり絶対最大定格条件に曝すとデバイスの信頼性に影響を与える可能性があります。

真理値表 (動作表)

MODE	CE#	OE#	WE#	I/O OPERATION	SUPPLY CURRENT
Standby	H	X	X	High-Z	I _{SB1}
Output Disable	L	H	H	High-Z	I _{CC} , I _{CC1}
Read	L	L	H	D _{OUT}	I _{CC} , I _{CC1}
Write	L	X	L	D _{IN}	I _{CC} , I _{CC1}

注意事項：「H」はハイレベル入力、「L」はローレベル入力。「X」は「H」又は「L」レベルのどちらでも良い。

DC 電氣的特性

PARAMETER	SYMBOL	TEST CONDITION	MIN.	TYP. *4	MAX.	UNIT		
Supply Voltage	V _{CC}		2.7	3.0	3.6	V		
Input High Voltage	V _{IH} *1		2.2	-	V _{CC} +0.3	V		
Input Low Voltage	V _{IL} *2		-0.2	-	0.6	V		
Input Leakage Current	I _{LI}	V _{CC} ≥ V _{IN} ≥ V _{SS}	-1	-	1	μA		
Output Leakage Current	I _{LO}	V _{CC} ≥ V _{OUT} ≥ V _{SS} , Output Disabled	-1	-	1	μA		
Output High Voltage	V _{OH}	I _{OH} = -1mA	2.2	2.7	-	V		
Output Low Voltage	V _{OL}	I _{OL} = 2mA	-	-	0.4	V		
Average Operating Power supply Current	I _{CC}	Cycle time = Min. CE# ≤ 0.2V, I _{I/O} = 0mA Others at 0.2V or V _{CC} -0.2V	-45	-	12	20	mA	
			-55	-	12	18	mA	
	I _{CC1}	Cycle time = 1μs CE# ≤ 0.2V, I _{I/O} = 0mA Other pins at 0.2V or V _{CC} -0.2V	-	2	4	mA		
Standby Power Supply Current	I _{SB1}	CE# ≥ V _{CC} -0.2V Others at 0.2V or V _{CC} - 0.2V	SL*5	25°C	-	1.8	4	μA
			SLI*5	40°C	-	2	4.5	μA
			SL		-	1.8	7	μA
			SLI		-	1.8	10	μA

注意事項：

- 最大入力電圧、V_{IH} (max.)は 10ns 以内のパルス幅で V_{CC} + 3.0V とする。
- 最低入力電圧、V_{IL} (min.)は 10ns 以内のパルス幅で V_{SS} - 3.0V とする。
- オーバー/アンダーシュートに関しては製品評価段階で評価済みですが、量産時のテストはしていません。
- V_{CC}=V_{CC}(typ.)、T_A=25°Cの条件で測定された平均値は参考値として示してありますが、保証値ではなく量産時のテストはしていません。
- この項目は V_{CC}=3.0V における参考値。

負荷容量 (T_A=25°C, f=1.0MHz)

PARAMETER	SYMBOL	MIN.	MAX	UNIT
Input Capacitance	C _{IN}	-	6	pF
Input/Output Capacitance	C _{I/O}	-	8	pF

注意事項：これらのパラメータは製品評価で保証されていますが、量産時のテストはしていません。

AC テスト条件

Input Pulse Levels	0.2V to V _{CC} - 0.2V
Input Rise and Fall Times	3ns
Input and Output Timing Reference Levels	1.5V
Output Load	C _L = 30pF + 1TTL, I _{OH} /I _{OL} = -1mA/2mA

AC 電氣的特性

(1) リード・サイクル

PARAMETER	SYM.	LY62L5128B-45		LY62L5128B-55		UNIT
		MIN.	MAX.	MIN.	MAX.	
Read Cycle Time	t _{RC}	45	-	55	-	ns
Address Access Time	t _{AA}	-	45	-	55	ns
Chip Enable Access Time	t _{ACE}	-	45	-	55	ns
Output Enable Access Time	t _{OE}	-	25	-	30	ns
Chip Enable to Output in Low-Z	t _{CLZ} *	10	-	10	-	ns
Output Enable to Output in Low-Z	t _{OLZ} *	5	-	5	-	ns
Chip Disable to Output in High-Z	t _{CHZ} *	-	15	-	20	ns
Output Disable to Output in High-Z	t _{OHZ} *	-	15	-	20	ns
Output Hold from Address Change	t _{OH}	10	-	10	-	ns

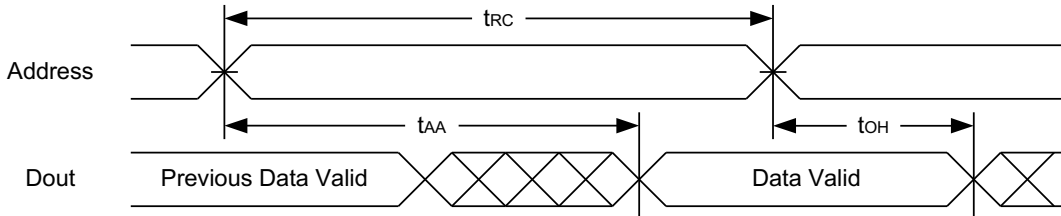
(2) ライト・サイクル

PARAMETER	SYM.	LY62L5128B-45		LY62L5128B-55		UNIT
		MIN.	MAX.	MIN.	MAX.	
Write Cycle Time	t _{WC}	45	-	55	-	ns
Address Valid to End of Write	t _{AW}	40	-	50	-	ns
Chip Enable to End of Write	t _{CW}	40	-	50	-	ns
Address Set-up Time	t _{AS}	0	-	0	-	ns
Write Pulse Width	t _{WP}	35	-	45	-	ns
Write Recovery Time	t _{WR}	0	-	0	-	ns
Data to Write Time Overlap	t _{DW}	20	-	25	-	ns
Data Hold from End of Write Time	t _{DH}	0	-	0	-	ns
Output Active from End of Write	t _{OW} *	5	-	5	-	ns
Write to Output in High-Z	t _{WHZ} *	-	15	-	20	ns

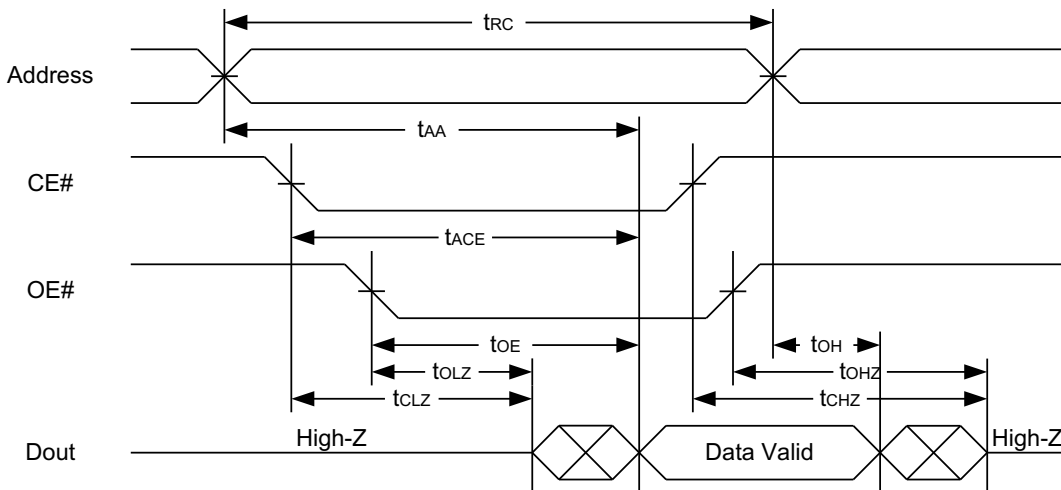
*各パラメータは製品特性上の保証値ですが、量産時のテストはしていません。

タイミング波形

リード・サイクル1 (アドレス・コントロール) (注意事項1, 2)



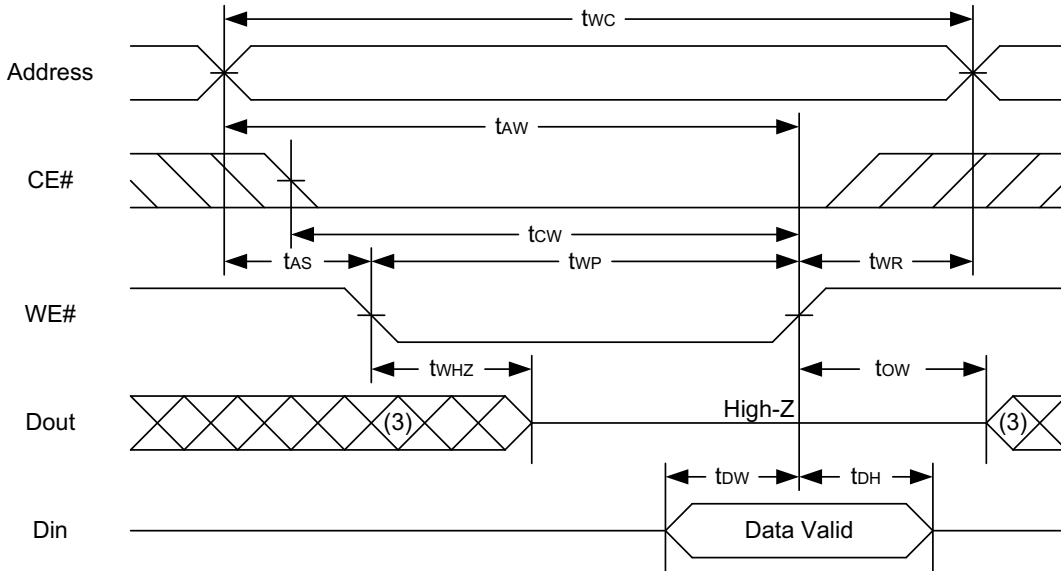
リード・サイクル2 (CE#とOE# コントロール) (注意事項1, 3, 4, 5)



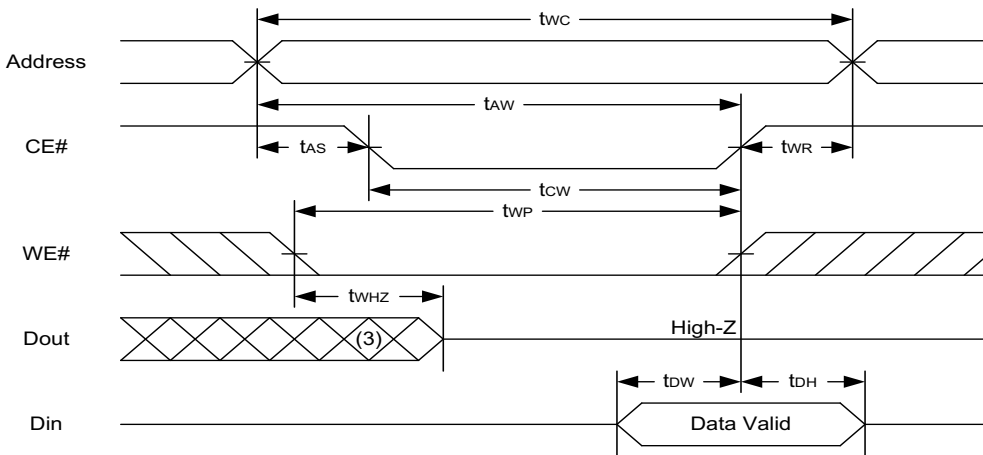
注意事項:

1. リード・サイクル時には WE#はハイレベルでなければなりません。
2. OE#と CE#はローレベルの場合はリード・サイクルとなります。
3. アドレスは CE#はローレベルに変化する前、または同時に有効でなければなりません。
もしそうでなければ tAA は保証されません。
4. tCLZ、tBLZ、tOLZ、tCHZ、tBHZ、および tOHZ は、CL = 5pF で指定されます。その変化は定常状態から ±500mV の測定です。
5. 温度および電圧が同じ条件であれば tCHZ は tCLZ より小さく、tBHZ は tBLZ より小さく、tOHZ は tOLZ より小さくなります。

ライト・サイクル1 (WE# コントロール) (注意事項 1,2,4,5)



ライト・サイクル 2 (CE# コントロール) (注意事項 1,4,5)



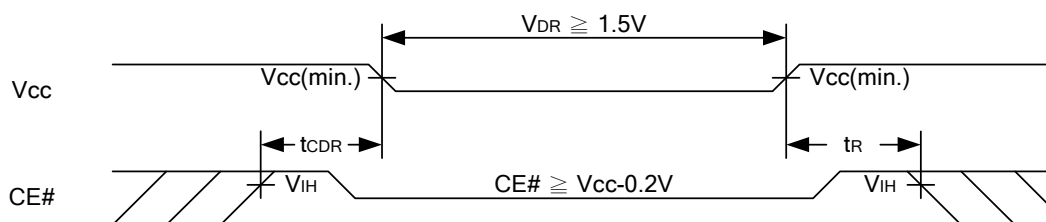
注意事項：

1. 書き込みはCE#はローレベル、WE#はローレベルのオーバーラップ中に実行されます。
2. OE#がローレベルのWE#制御書き込みサイクル中、内部回路のドライバーをオフにしてデータを書き込みするには t_{WP} を $t_{WHZ} + t_{DW}$ より大きくする必要があります。
3. この期間、I/Oピンは出力状態にあり入力信号を印加してはいけません。
4. CE#のローレベルへの変化がWE#のローレベルへの変化と同時にまたはその後が発生した場合、出力は高インピーダンス状態になります。
5. t_{OW} および t_{WHZ} は $CL = 5pF$ の条件です。この変化は定常状態から $\pm 500mV$ での測定です。

データ保持特性

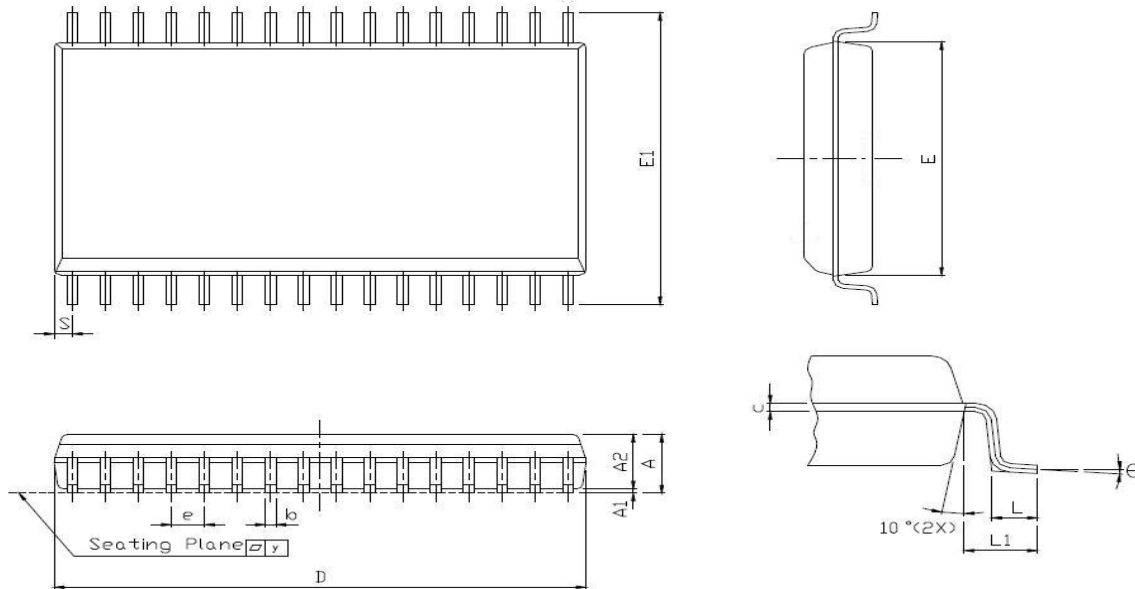
PARAMETER	SYMBOL	TEST CONDITION	MIN.	TYP.	MAX.	UNIT		
V _{CC} for Data Retention	V _{DR}	CE# ≥ V _{CC} -0.2V	1.5	-	3.6	V		
Data Retention Current	I _{DR}	V _{CC} = 1.5V CE# ≥ V _{CC} -0.2V Other pins at 0.2V or V _{CC} -0.2V	SL	25°C	-	1.8	4	μA
			SLI	40°C	-	2	4.5	μA
		SL		-	1.8	7	μA	
		SLI		-	1.8	10	μA	
Chip Disable to Data Retention Time	t _{CDR}	See Data Retention Waveforms (below)	0	-	-	ns		
Recovery Time	t _R		t _{RC} *	-	-	ns		

 t_{RC}* = Read Cycle Time

DA データ保持タイミング・チャート


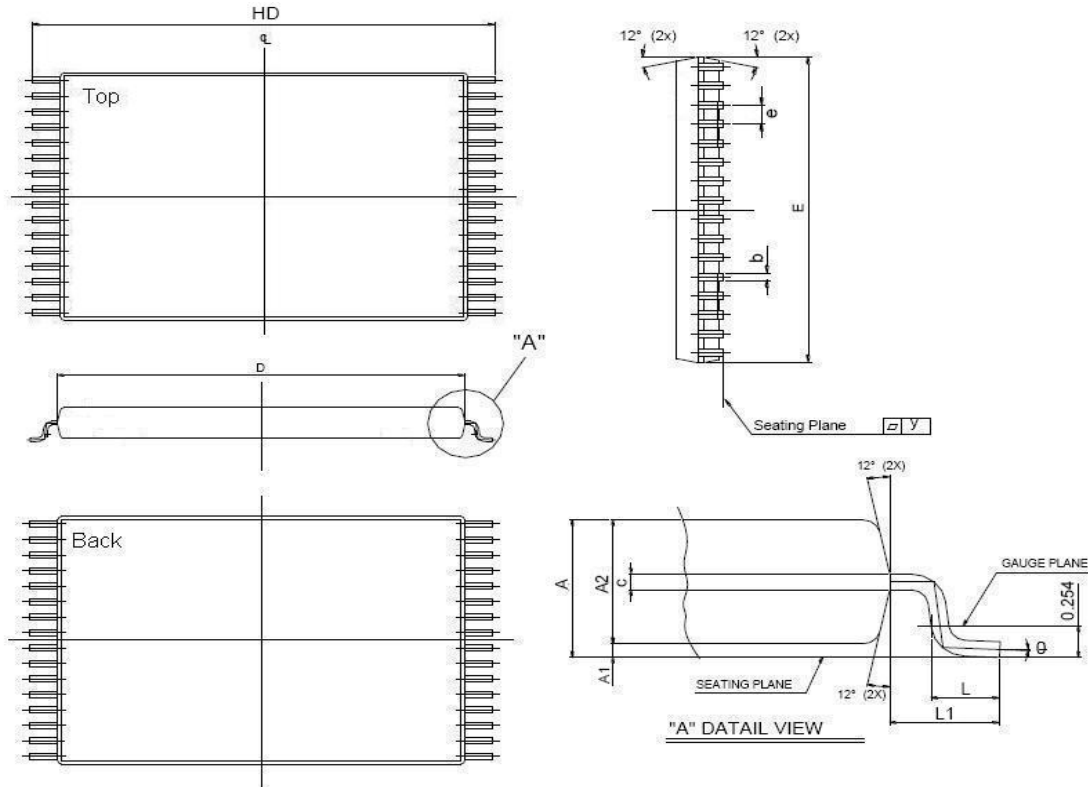
パッケージ外形寸法

32-pin 450 mil SOP パッケージ外形寸法



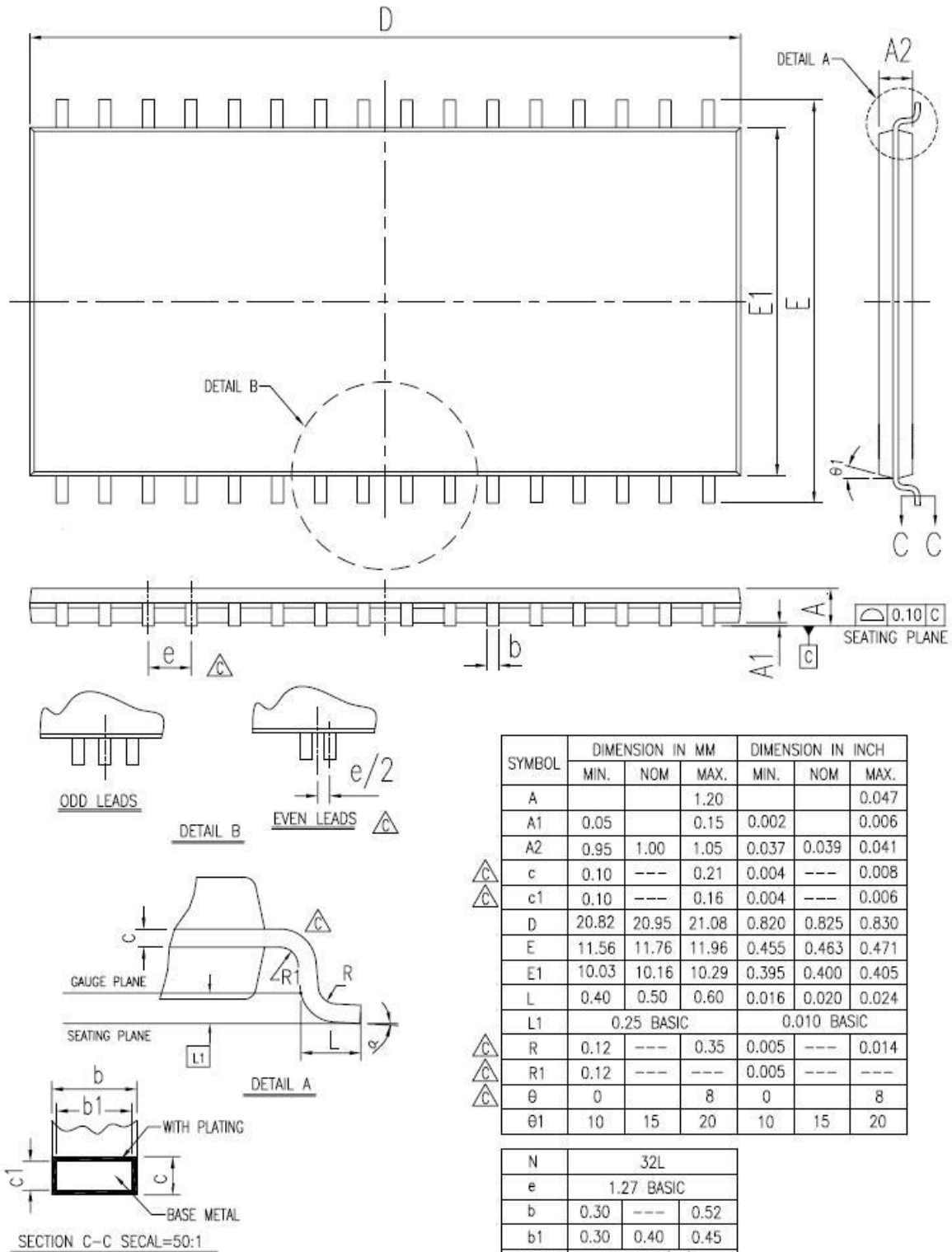
A	0.120(MAX)	3.048(MAX)
A1	0.004(MIN)	0.102(MIN)
A2	0.116(MAX)	2.946(MAX)
b	0.016(TYP)	0.406(TYP)
c	0.008(TYP)	0.203(TYP)
D	0.817(MAX)	20.75(MAX)
E	0.445 ± 0.006	11.303 ± 0.152
E1	0.555 ± 0.025	14.097 ± 0.635
e	0.050(TYP)	1.270(TYP)
L	0.033 ± 0.017	0.838 ± 0.432
L1	0.055 ± 0.008	1.397 ± 0.203
S	0.026(MAX)	0.660(MAX)
y	0.004(MAX)	0.101(MAX)
Θ	0° -10°	0° -10°

32-pin 8mm x 13.4mm sTSOP パッケージ外形寸法



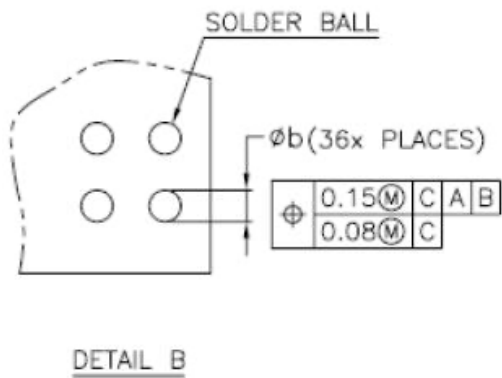
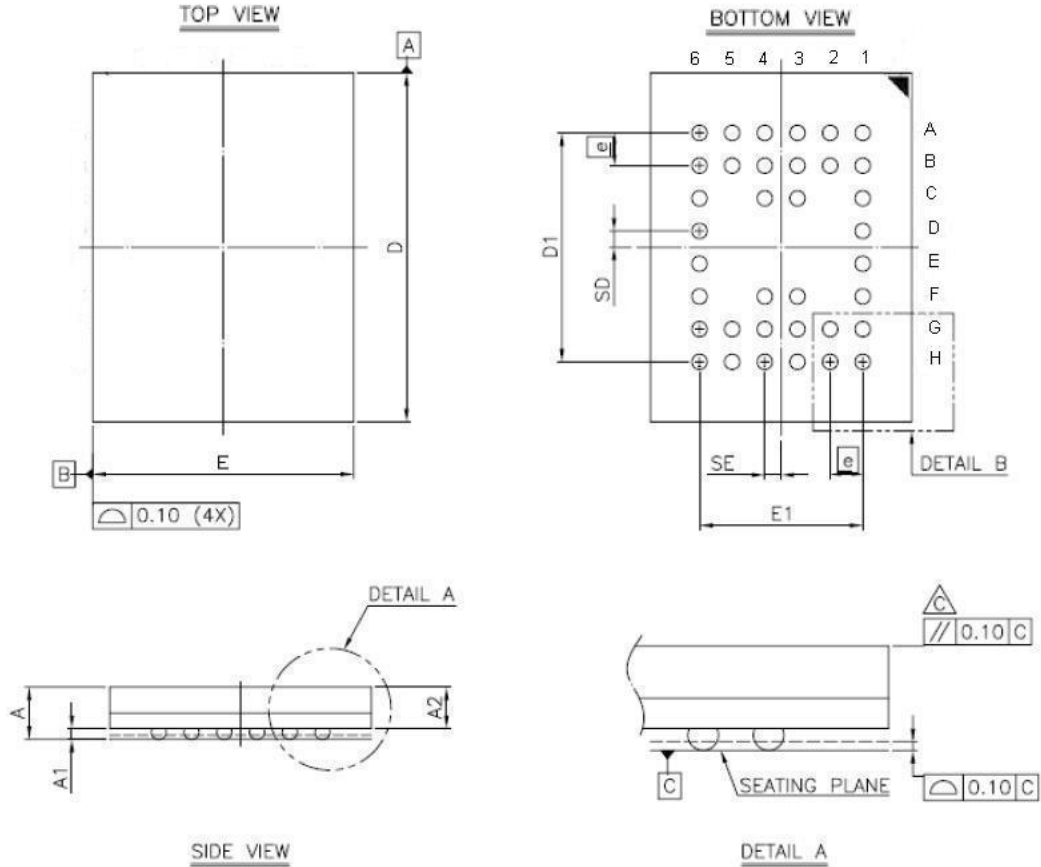
SYM.	UNIT	INCH(BASE)	MM(REF)
A		0.049 (MAX)	1.25 (MAX)
A1		0.004 ±0.002	0.10 ±0.05
A2		0.039 ±0.002	1.00 ±0.05
b		0.009 ±0.002	0.22 ±0.05
c		0.006 ±0.002	0.155 ±0.055
D		0.465 ±0.008	11.80 ±0.20
E		0.315 ±0.008	8.00 ±0.20
e		0.020 (TYP)	0.50 (TYP)
HD		0.528±0.008	13.40 ±0.20.
L		0.02 ±0.008	0.50 ±0.20
L1		0.031 ±0.005	0.8 ±0.125
y		0.003 (MAX)	0.076 (MAX)
Θ		0°~5°	0°~5°

32-pin 400 mil TSOP II パッケージ外形寸法



NOTE : DIMENSIONS D AND E1 DO NOT INCLUDE MOLD PROTRUSIONS.
 D AND E1 ARE MAXIMUM PLASTIC BODY SIZE DIMENSIONS INCLUDING MOLD MISMATCH.

36-ball 6mm × 8mm TFBGA パッケージ外形寸法



SYM.	DIMENSION (mm)			DIMENSION (inch)		
	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.
A	—	—	1.20	—	—	0.047
A1	0.20	0.25	0.30	0.008	0.010	0.012
A2	—	—	0.94	—	—	0.037
b	0.30	0.35	0.40	0.012	0.014	0.016
D	7.95	8.00	8.05	0.313	0.315	0.317
D1	5.25 BSC			0.207 BSC		
E	5.95	6.00	6.05	0.234	0.236	0.238
E1	3.75 BSC			0.148 BSC		
SE	0.375 TYP			0.015 TYP		
SD	0.375 TYP			0.015 TYP		
Ⓜ	0.75 BSC			0.030 BSC		

NOTE:
 1. CONTROLLING DIMENSION : MILLIMETER.
 2. REFERENCE DOCUMENT : JEDEC MO-207.

注文時の関連情報

Package Type	Access Time (Speed)(ns)	Power Type	Temperature Range(°C)	Packing Type	Lyontek Item No.
32Pin (8mmx13.4mm) sTSOP	45	Special	0°C~70°C	Tray	LY62L5128BRL-45SL
				Tape Reel	LY62L5128BRL-45SLT
		Ultra Low Power	-40°C~85°C	Tray	LY62L5128BRL-45SLI
				Tape Reel	LY62L5128BRL-45SLIT
	55	Special	0°C~70°C	Tray	LY62L5128BRL-55SL
				Tape Reel	LY62L5128BRL-55SLT
		Ultra Low Power	-40°C~85°C	Tray	LY62L5128BRL-55SLI
				Tape Reel	LY62L5128BRL-55SLIT
32-pin 450 mil SOP	45	Special	0°C~70°C	Tray	LY62L5128BSL-45SL
				Tape Reel	LY62L5128BSL-45SLT
		Ultra Low Power	-40°C~85°C	Tray	LY62L5128BSL-45SLI
				Tape Reel	LY62L5128BSL-45SLIT
	55	Special	0°C~70°C	Tray	LY62L5128BSL-55SL
				Tape Reel	LY62L5128BSL-55SLT
		Ultra Low Power	-40°C~85°C	Tray	LY62L5128BSL-55SLI
				Tape Reel	LY62L5128BSL-55SLIT
36-ball (6mmx8mm) TFBGA	45	Special	0°C~70°C	Tray	LY62L5128BGL-45SL
				Tape Reel	LY62L5128BGL-45SLT
		Ultra Low Power	-40°C~85°C	Tray	LY62L5128BGL-45SLI
				Tape Reel	LY62L5128BGL-45SLIT
	55	Special	0°C~70°C	Tray	LY62L5128BGL-55SL
				Tape Reel	LY62L5128BGL-55SLT
		Ultra Low Power	-40°C~85°C	Tray	LY62L5128BGL-55SLI
				Tape Reel	LY62L5128BGL-55SLIT